

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

1

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-212955

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)9月5日

G 03 G 15/00

1 0 2

8106-2H

H 04 N 1/00

3 0 4

8106-2H

1 0 6

B-7334-5C

審査請求 未請求 発明の数 1 (全49頁)

⑮ 発明の名称 画像形成システム

⑯ 特 願 昭62-45939

⑰ 出 願 昭62(1987)2月28日

⑱ 発 明 者	田 中 秀 岳	東京都大田区中馬込1丁目3番6号	株式会社リコー内
⑱ 発 明 者	山 崎 茂	東京都大田区中馬込1丁目3番6号	株式会社リコー内
⑱ 発 明 者	山 野 辺 耕 治	東京都大田区中馬込1丁目3番6号	株式会社リコー内
⑱ 発 明 者	小 田 部 浩 明	東京都大田区中馬込1丁目3番6号	株式会社リコー内
⑱ 発 明 者	中 里 保 史	東京都大田区中馬込1丁目3番6号	株式会社リコー内
⑱ 発 明 者	畔 野 正 彦	東京都大田区中馬込1丁目3番6号	株式会社リコー内
⑲ 出 願 人	株 式 会 社 リ コ ー	東京都大田区中馬込1丁目3番6号	
⑳ 代 理 人	弁 理 士 大 澤 敬		

明 細 書

1. 発明の名称

画像形成システム

2. 特許請求の範囲

1 外部装置または内部より画像情報を得て画像形成を行なう画像形成装置本体に複数の付加装置を接続し、画像形成に関する種々の情報に授受を前記画像形成装置本体と複数の付加装置との間で行なつて、記録媒体に画像を形成する画像形成システムにおいて、

前記画像形成装置本体への付加装置の接続状況を表示する手段を設けたことを特徴とする画像形成システム。

【以下省略】

3. 発明の詳細な説明

技術分野

この発明は、各種プリンタシステム、高機能複写システム、ファクシミリシステム等の画像形成システムに関し、特に外部装置または内部より画像情報を得て画像形成を行なう画像形成装置本体に複数の付加装置を接続し、それらの間で画像形成に関する種々の情報の授受を行なつて、記録媒体に画像を形成する画像形成システムに関する。

従来技術

上記のような各種画像形成システムにおいて、画像形成装置本体に各種の付加装置、例えば大量給紙装置、大量排紙装置、メールボックスあるいはソータ、両面ユニット、自動原稿給送装置(AFD)等を接続して、使用目的に応じた最適な機能を持つシステムを構成をすることができるようになつてきている。

このような画像形成システムにおいては、画像形成を行なう画像形成装置本体と上記のような各種付加装置との間で、画像形成に必要な種々の情

報を受受する必要がある。

そのため、画像形成装置本体と付加装置とを接続コードおよびコネクタを介して接続して、相互通信によって情報の授受を行なうようにしている。

しかしながら、このような従来の画像形成システムでは、画像形成装置本体にどの付加装置が確実に接続されているか、すなわち現在のシステム構成を一目で把握することができなかった。

目的

この発明は上記の点に鑑みてなされたものであり、画像形成装置本体と各種付加装置との接続状況を、操作表示パネル等を見ることにより一目で把握できるようにすることを目的とする。

(以下余白)

発明

この発明は上記の目的を達成するため、前記のような画像形成システムにおいて、画像形成装置本体への付加装置の接続状況を表示する手段を設けたものである。

(以下余白)

以下、この発明の一実施例に基づいて具体的に説明する。

システム構成

第1図(A)～(F)は、この発明による画像形成システムの一実施例であるレーザープリンタ・システムのそれぞれ異なるオプションの組合せ構成例を示し、各図中の破線矢印は紙の搬送方向を示している。

(A)は基本構成であり、レーザープリンタ本体(LP本体)1と、上給紙カセット2及び下給紙カセット3と、上給紙用の標準給紙ユニット4と、封筒等の厚い紙を給紙するための後給紙トレイ5とによって構成されている。

(B)はこのシステムに、両面プリントを行なうための両面ユニット8を加えたものである。

(C)は(A)のシステムに大量給紙ユニット(LCIIT)7を加えると共に、標準給紙ユニット4に代えて、上下二段の給紙部8A、8Bを有する大量給紙ユニット(LCOIT)8を装着したものである。

(D)は(C)のシステムに、さらに両面ユニット8を加えたものである。

(E)は(C)のシステム的大量給紙ユニット8に代えて、8個のビン(31～38)を備えたメールボックス(MB)9を装着したものである。

(F)は(E)のシステムに、さらに両面ユニット8を加えたものである。

このように、このレーザープリンタ・システムは、オプションである両面ユニット8、大量給紙ユニット7、大量給紙ユニット8、及びメールボックス9の選択により、多様なシステム構成を得ることができる。なお、レーザープリンタ本体1及び各オプションユニットの詳細については後述する。

外観及び接続部

第2図は第1図(D)のシステムの外観例を示す斜視図であり、第1図と対応する部分には同一の符号を付してある。

なお、10は大量給紙ユニット7の一部と第1図における両面ユニット8とを内蔵するテーブルである。11はレーザープリンタ本体1の上部に設

けた操作表示パネルであり、その詳細は第4図によつて後述する。

12、13はフロントカートリッジで、それぞれ異なる文字種のフォントデータを格納したRAMあるいはROMを内蔵している。

14はエミュレーションカードで、これをレーザプリンタ本体1に挿入することにより、ホストの装置に応じたエミュレーション動作を発生させて、ドットプリンタやデジタイザプリンタ等と同様に動作させることもできる。

次に、第3図によつてこのシステムの内部機構の概略を説明する。

レーザプリンタ本体1内には、上下2個の給紙コロ19、20と二対の給紙ローラ21、22と一対のレジストローラ23と搬送ベルト24と送出ローラ25と後搬送ローラ26、上搬送ローラ27、下搬送ローラ28、及び多数のガイド板等によつてペーパー搬送路が形成されている。

そのレジストローラ23と搬送ベルト24との間の搬送路の上側にOPC感光体ドラム29が回

転可能に設けられ、下側に感光チャージャ30が配設されており、搬送ベルト24と送出ローラ25との間に定着器31が、送出ローラ25と後搬送ローラ26との間に一対のペーパー通気翼爪32、33がそれぞれ設けられている。

感光体ドラム29の周囲には、さらに感光チャージャ(メインチャージャ)34、現像ユニット35、クリーニングユニット36、除電用LED37が配設されている。

そして、現像ユニット35は現像モータ38及びビトナーカートリッジ39及びクリーニングユニット36と共に引出し18に装着されている。

これらの上部に、ここでは図示されていない半導体レーザからのレーザ光を反射して発光するポリゴンミラー(図示多面鏡)44と10レンズ45、第1ミラー47、第2ミラー48、及び防塵ガラス48等を備えたレーザ光束ユニット40が配設されている。このレーザ光束ユニット40の詳細については後述する。

さらにその上方に、プリントエンジン基板51

と2枚のインタフェース・コントローラ(以下「IFC」と略称する)基板52を内蔵したプリント回路基板(以下「PCB」と略称する)ラック53を設置している。

また、54はPCBバックファン、55はメインファン、58はオゾンファンである。

一方、ペーパー搬送路の下側には、感光体ドラム29や各ローラ等を回転駆動するためのメインモータ57と、電源ユニット58及び各チャージャに高電圧を印加するための高圧電源ユニット59等が配設されている。

上給紙カセット2及び下給紙カセット3は、それぞれこのレーザプリンタ本体1に着脱自在であり、後搬送トレイ5は不使用時には図示のように格納され、使用時には輪5aを支点として矢示方向に回動させて、後方へ延設させる。

なお、80はレジストセンサ、81は定着出口センサである。

次に、テーブル10内には、反転用搬送路85及び待機用搬送路86と、ペーパー通気翼爪87

と、3組のクラッチ付き搬送ローラ88、89、70と、両面入口センサ71及び両面出口センサ72、両面用ドライブモータ73等からなる両面ユニット(DPX)8を内蔵し、さらに大量給紙ユニット(LCIT)7からのペーパーを給紙するための給紙コロ74及び給紙ローラ75、両面ユニットと共用の給紙ローラ78、及びLCITドライブモータ77等も内蔵している。

なお、大量給紙ユニット7内には、図示を省略しているが、収納したペーパーを昇降するための機構及びその駆動用モータ等が内蔵されている。

一方、大量給紙ユニット(LCOT)8には、搬送ローラ80と、ペーパー通気翼爪81と、上段搬送ローラ82及び下段搬送ローラ83と、上段搬送トレイ84及び下段搬送トレイ85と、図示を省略しているが、2段の搬送トレイ84、85をそれぞれ横方向に移動させて搬送位置をずらせるための機構とその駆動用モータ(ジョブセパレーション・モータ)や、各種センサ及びスイッチ等も設けられている。

このレーザプリンタシステムの制御系については後で詳細に説明するが、指示しないコンピュータ、ワークステーション、ワードプロセッサ等のホストからの画像データ等をI/F基板52を介してプリントエンジン基板51へ入力して処理し、給紙経路及び排紙経路を選択した後、プリントスタート・リクエスト信号によりプリント動作を開始する。

プリントシーケンスが開始されると、所定のタイミングで給紙コロ19、20、74のいずれかを駆動して、上給紙カセット2、下給紙カセット3、あるいはLCIT7のいずれかを選択されたものから給紙を開始し、給紙ローラ21、22、75のいずれかによってペーパーを送り、レジストローラ23に突き当たった状態で一時停止させる。

プリントシーケンスが開始されると、所定のタイミングで給紙コロ19、20、74のいずれかを駆動して給紙トレイ2〜4のうちの選択されたトレイから給紙を始め、レジストローラに突き当たった状態で一時停止させる。

なお、通常は大量排紙ユニット8のいずれかのトレイが選択されて、プリントされたペーパーはフエースダウン排紙されるが、封筒や葉書などの厚の強い紙を使用する場合等、特別な場合に後排紙トレイ5が選択される。

但し、後排紙トレイ5が第3図の矢示方向に回転して、後排紙ローラ26による排紙が可能ない状態になっている時には、後排紙トレイ5を選択することはできない。

両面印刷が選択されている時には、片面にプリントされたペーパーは下搬送ローラ28によってテーブル10内の両面ユニット8に送り込まれる。

そして、まず反転用搬送路85に送り込まれた後、搬送方向を逆転して待機用搬送路88へ搬送されて待機し、所定のタイミングで給紙ローラ78によって本体1へ送りこまれて、前述と同様に他方の面にプリントされ、その後いずれかの排紙トレイに排紙される。

操作表示パネル

第2図の操作表示パネルの詳細を第4図に示す。

一方、感光体ドラム29は第3図の矢示方向へ回転し、帯電部チャージヤ34によって帯電された表面に、レーザ書き込みユニット40によって帯電された表面に、レーザ書き込みユニット40によって画像データに応じて変調されたレーザビームをドラム軸方向に主走査しながら照射して露光し、潜像を形成する。

その潜像を現像ユニット35からのトナーによって現像し、レジストローラ23によって所定のタイミングで搬送されるペーパーに、転写チャージヤ30によって転写する。

その転写されたペーパーを感光体ドラム29から剥離して、搬送ベルト24によって定着部31へ搬送し、定着部31で加熱定着した後送出ローラ25によって排紙部へ送出する。

その際、ペーパー通路変更爪32、33、81の回転位置によってペーパーの通路を選択して、大量排紙ユニット8の上段排紙トレイ84、下段排紙トレイ85、あるいは後排紙トレイ5のいずれかに排紙する。

120はインジケータであり、それぞれLED（発光ダイオード）の点灯によって表示される給文字121〜128とLCD（液晶）ディスプレイ130とオンライン/オフライン選択スイッチ131を有する。

121はI/F等のエラー、122はジャム発生、123は感光体寿命、124はトナー不足、125はペーパーエンド、126は画像データ有り、127はオンライン/オフライン、128はウォーミングアップ中、129は電源オンをそれぞれ表示する給文字である。

LCDディスプレイ130は、例えば2ライン×32文字のキャラクタディスプレイで、各給文字により表示の補足説明（必要な場合のみ）や、その他各種のメッセージを表示することができる。

132はこのLCDディスプレイ130の輝度調整つまみである。133はフォームフィード・スイッチで、画像データ有りの給文字128が点灯している時にこのスイッチを押すと、内部のデータをプリントして排紙する。

134はテストスイッチで、このスイッチを押すとこのレーザプリンタ・システムをテスト動作させることができる。135はシフトスイッチ、136は給紙選択スイッチであり、このスイッチ136のみを押すと給紙カセットを選択することができ、上給紙カセットを選択すると上のLED137が点灯し、下給紙カセットを選択すると下のLED138が点灯する。

一方、シフトスイッチ135を押しながら給紙選択スイッチ136を押すと大量給紙ユニット8の給紙トレイを選択することができ、上段給紙トレイ8Aを選択すると上のLED137が点灯し、下段給紙トレイ8Bを選択すると下のLED138が点灯する。

139はフォント等選択スイッチであり、このスイッチ139のみを押すと印字する文字のフォントを選択することができ、シフトスイッチ135を押しながらこのスイッチ139を押すと紙の幅方向に沿って文字が整列するモードと紙の長さ方向に沿って文字が整列するモードのいずれかを

選択することができる。

140は給紙紙・ジャム表示部であり、このシステムの概略図形と、給紙紙の選択状況及びペーパーエンド又はオーバーフローを表示する多色発光のLEDA～Fと、ジャム発生位置を表示する多色発光のLEDG～Pからなる。

LEDA, B, Cは、それぞれ上給紙カセット2、下給紙カセット3、大量給紙ユニット7が接続されていて選択された時に緑色に点灯し、ペーパーエンドになると赤色に点灯する。一方、LED D, E, Fは、それぞれ大量給紙ユニット8の上段給紙カセット8A、下段給紙ユニット8B、給紙紙トレイ5が接続されていて選択された時に緑色に点灯し、オーバーフローになると赤色に点灯する。

LEDG～Pが点灯するジャム発生位置は次のとおりである。

G: 上給紙ジャム H: 下給紙ジャム
I: 搬送ジャム J: 定着ジャム
K: LCOT上段給紙ジャム

L: LCOT下段給紙ジャム

M: LCIT給紙ジャム

N: DPX入口ジャム

P: DPX出口ジャム

レーザ読み込みユニットとその制御

第5図のレーザ読み込みユニット40における光学系の構成を第5図に示す。

半導体レーザ41からのレーザ光は図示しないコリメータレンズによって平行光束化され、シリンドリカルレンズ42及び1/2波長板43を介して波面整形され、回転多面鏡（ポリゴンミラー）44に入射する。

回転多面鏡44によって反射されたレーザビームはfθレンズ45を通過し、回転多面鏡44の矢示方向の回転と共に偏向して、第5図の第1ミラー46及び第2ミラー47で反射され、さらに防護ガラス48を通過した後に誘電性の感光体ドラム28を光走査する。

fθレンズ45は、レーザ光の走査方向についての感光体面上での走査速度を一定にするため

の補正レンズである。fθレンズ45はまた、回転多面鏡の面割れ補正をも行なう。

さて、各レーザビームにより主走査を行なう上で、感光体ドラム28の近傍にシリンドリカルレンズ49と、光検出素子としてのフォトダイオード50、すなわち同期位置検出センサが配設され、主走査の開始に先立つてレーザビームを受けるようになっている。

第6図は、同期信号DET Pの発生回路であり、レーザビームを受けたフォトダイオード50の出力をトランジスタTRで増幅し、コンパレータCMPで波面整形して、同期信号DET Pを出力するようになっている。

第7図は読み込み制御回路であり、その各部の信号波形を第8図に示す。

発振器101は、読み込み同期周波数1/Nドットに応じて、読み込み同期クロックWCLKのN倍のクロックCLKNを出力する。このクロックCLKNは分周器102によって1/Nに分周され、同期クロックWCLKの基本クロックCLKDを

出力する。

また、この基本クロックCLKDはシフトレジスタ103に入力される。シフトレジスタ103は、クロックCLKNの周期分だけ互いに位相がずれ、基本クロックCLKDと同周期のN個のクロックCLKR-A~CLKR-Dを出力する。

ラッチアンドデータセレクト104はフォトダイオクタ50によるレーザビーム検出信号を波形成形した信号、すなわち同期検知信号DETPの入力位相に同期したクロックを、上記クロックCLKR-A~CLKR-Dのうちから選択し、信号WCLKを出力する。信号WCLKは書き込み同期クロックであるが、常に1/Nドットの精度で位相補正されている。

この信号WCLKはまた、主走査方向の書き込み領域の基本クロックとなる。

半導体レーザ41に対する駆動信号VIDEOは、同期検知用カウンタ105の出力によりS-RFF106の出力DSYNCが真となつて信号VIDEOが真となり、半導体レーザ41は点灯

している。

この状態で、フォトダイオクタ50によりレーザビームが検出されると、信号DETPが真となり、これに同期して信号WCLKが発生する。

信号DETPはまた、同期検知用カウンタ105に初期値をロードさせ、再度カウントを開始させるとともに、S-RFF106をリセットしてDSYNCを偽とする。これにより信号VIDEOが偽となり、半導体レーザは消灯する。

信号DETPはまた、書き込み開始同期信号LSYNC、書き込み領域信号LGATE、書き込み領域外レーザ光設定信号ERASEを夫々作り出すためのカウンタ107~109を初期化する。なお、110~112はJ-KFF、113はD-FFである。

カウンタ107、108、109は、夫々信号WCLKをクロック入力としてカウントを開始する。

信号ERASEは駆動信号VIDEOを強制的にオフにして、書き込み領域外で感光体ドラム29に

不要な光が照射されるのを防止する信号である。

信号ERASEが真になると、しばらくして信号LSYNCが1クロック分だけ真となる。この信号LSYNCは、IFC52に書き込みデータ転送開始を促すための信号である。信号LSYNCが偽となつた後1クロック分遅れて信号LGATEが真となる。

信号LGATEは書き込み領域信号であり、書き込みエリア分だけ真となつており、IFC52からの書き込みデータを受け入れられるようになっている。

例えば、分解能1/300°で書き込み領域が8°であるとき、2400WCLKだけ真となっている。

信号LGATEが真の間は、書き込みデータWDATAは有効となつて、信号WCLKで同期をとつた信号WDATA'により駆動信号VIDEOが変化する。

従つて、書き込みデータWDATAのデータそのものにより、光ビームはオン/オフされて有効な画像が得られることになる。

信号LGATEが偽となると共に、信号ERASEにより、信号VIDEOは偽となつて半導体レーザは消灯する。

信号ERASEが偽となることによりラッチアンドデータセレクト104がクリアされ、信号WCLKはオフとなる。

その後、カウンタ105の出力が真となり、信号DSYNCが真となり、信号VIDEOは再び真となる。そして、次のスキヤニングの同期検知を行うために半導体レーザが点灯する。

このようにして、前述と同様の書き込みプロセスが繰返される。

制御系のシステム構成

第9図はこの実施例の制御系の接続関係を示すシステムブロック図である。

レーザプリンタ本体1内の電源ユニット58とプリントエンジンPCB51、インタフェース・コントローラ(IFC)PCB52、定着器51のヒータとファン54~58、テーブル10内の同調ユニット8及び大量給紙ユニット7を制御す

るためのDPX&LCIT・PCB91、メールボックス8を装着した場合にはメールボックス(MB)ユニット82を制御するためのMB・PCB93をと、それぞれ電源線94A、94B、94C、94D、94Eによって直接接続している。

さらに、プリントエンジンPCB51とプリントエンジン(PE)ユニット(第3図の各種機能を含む)80との間及びIFC・PCB52との間をそれぞれ電源線と信号線を含む接続線95A、95Bによって接続し、標準辞書ユニット4を装着した場合にはそれとの間、大量辞書ユニット(LCOT)8を装着した場合にはそれとの間も、それぞれ電源線と信号線を含む接続線95C、95Dによって接続する。

また、プリントエンジンPCB51とDPX&LCIT・PCB91、MB・PCB93、操作表示パネルPCB94との間を、それぞれ2本の送受信用オプティカルファイバ・ケーブル98A、98B、98Cによって接続しており、これらの間では光通信によって信号の授受を行なう。

そして、IFC・PCB52を接続ケーブル97によって、コンピュータやワードプロセッサ等のホストシステムに接続し、この接続ケーブル97から画像データ等のデータを入力する。

なお、操作表示パネルPCB94にも、図示しない電源線を介して電源ユニット58、プリントエンジンPCB51、あるいはIFC・PCB52から給電される。

プリントエンジンPCB51、IFC・PCB52、LCOT8、DPX&LCIT・PCB91、MB・PCB93、及び操作表示パネル・PCB94には、それぞれその各部の制御を統括するマイクロコンピュータを備えている。

第10図はプリントエンジンPCB51等の内部構成をも示すシステムブロック図であり、第9図と対応する部分には同一の符号を付してある。

プリントエンジンPCB51は、水晶発振子141を外付けしたワンチップのマイクロコンピュータ(以下「CPU」と略称する)142、アドレスラッチ回路143、プログラムメモリであ

るROM144、データメモリであるS-RAM145、拡張I/O146、ドライバ・レシーバ147、入出力バッファ148、ビデオコントロール回路149、及び通信制御用インタフェース回路150を備えている。

CPU142は、発振部及びタイマやカウンタ等を内蔵し、IFC・PCB52との間で信号の授受を行なうと共に、例えば第7図に示した書き込み制御回路の機能を果たすビデオコントロール回路149を制御して、この回路によってIFC・PCB52から画像データ(WDATA)を入力し、書き込み用の各種制御信号をIFC・PCB52へ出力させると共に、戻り信号VIDEOを後述する平準化レーザ駆動回路へ出力させる。

また、このCPU142は、拡張I/O146、ドライバ・レシーバ147、入出力バッファ148、及び接続線95A、95Dを介して、プリントエンジン・ユニット80及びLCOTユニット8を制御する。

さらに、通信制御用インタフェース回路150

を介して、DPX&LCIT・PCB91、MB・PCB93、及び操作表示パネルPCB94とオプティカルファイバ・ケーブル98A、98B、98Cによってそれぞれ接続され、それらとの間で光通信により信号の授受を行なう。

この通信制御用インタフェース回路150は新たに開発されたものであり、例えばワンチップの集積回路素子として構成されるが、その詳細は後述する。

DPX&LCIT・PCB91は、水晶発振子151を外付けしたCPU152と入出力バッファ153を備え、信号線154、155を介してDPXユニット8及びLCITユニットを制御する。

MB・PCB93も水晶発振子158を外付けしたCPU157と入出力バッファ158を備え、信号線159を介してMBユニット82を制御する。

第11図は、デバイス分散制御型の例を示す第10図と同様なシステムブロック図であり、IF

C・PCBと操作表示パネルPCBは図示を省略している。

この場合は、プリントエンジン・ユニット90のみを接続部95AによってプリントエンジンPCB51の入出力バツファ148に接続している。

そして、各オプションデバイスであるLCOTユニット8、DPXユニット8、LCITユニット7及びMBユニット92には、それらを個別に制御するためにそれぞれCPUと入出力バツファを備えたPCB(プリント回路基板)98、99、100、93を設けており、それらを各々複数のオプティカルファイバ・ケーブル96F、96E、96D、96BによってプリントエンジンPCB51に接続し、その内部の信号線を介して通信制御用インタフェース回路150に接続している。

なお、LCOTユニット8とMBユニット92はいずれか一方しか接続できないので、一方の光通信ラインを操作表示パネルPCB94との通信用に使用することもできる。

180を有するPCB側のメスコネクタの正面図と側面図である。

このメスコネクタ181には、オスコネクタ嵌入力181aと、その奥にさらに一対のコンタクト部挿入孔181b、181cが形成され、一方のコンタクト部挿入孔181bにはその底面に電気→光変換素子である発光ダイオード(LED)182が配設され、他方のコンタクト部挿入孔181cにはその底面に光→電気変換素子であるフォトランジスタ183が配設されている。

さらに、その奥には受光IC188が内蔵されており、そこから端子としてのピン④〜⑥が下方に突出している。また、このピンと並んでLED182のアノードピン⑦とカソードピン⑧も突出している。

184は、このメスコネクタ181をPCBの基板185に固着するための2本の結合用ポストである。

第14図(イ)はLED182とピン⑦⑧の関係を示し、(ロ)は発光IC188の回路構成及

オプティカルファイバ・ケーブルとコネクタ

これらの実施例においてオプティカルファイバ・ケーブル98A〜98Fとして使用される、2種類のコネクタ付複線オプティカルファイバ・ケーブルの例を第12図(イ)(ロ)に示す。

第12図(イ)のオプティカルファイバ・ケーブル98は短距離用のもので、互いに重なり合った2本のプラスチック製オプティカルファイバ98a、98bの両端にそれぞれ共通のオスコネクタ180を接続し、その各オスコネクタ180にはそれぞれ先端に一対のコンタクト部180a、180bを突出形成しており、各オプティカルファイバ98a、98bの両端面がそれぞれこのコンタクト部180a、180bに密着するようになっている。

第12図(ロ)のオプティカルファイバ・ケーブル98'は比較的長距離用のもので、中間部が互いに接合された2本のプラスチック製オプティカルファイバ98a'、98b'の両端にそれぞれ共通のオスコネクタ180を接続したものである。

第13図(イ)(ロ)は、上述のオスコネクタ

びピン④〜⑧との関係を示す。

発光IC188は、PD183による受光出力を増幅する増幅回路187、波形状形成回路188、出力トランジスタ189、及び定電圧回路170からなり、ピン④はアース(GND)端子、ピン⑤は信号出力(Vout)端子、ピン⑥は直流電源(Vcc)端子である。

このようなPCB側のメスコネクタ181に、第12図に示した複線オプティカルファイバ・ケーブル98又は98'の両端のオスコネクタ180をそれぞれ挿着すれば、2つのPCB間を接続する光通信ラインを形成することができる。すなわち、この送受信一体型のコネクタの組合により、送信用と受信用の光通信ラインをワンタッチで同時に接続することができる。

なお、オスコネクタ180の突起部180aとメスコネクタ181の凹部181dとによって、このコネクタは逆挿入防止機能をもっている。

また、オスコネクタ180のコンタクト部180a、180b及びメスコネクタ181の挿入孔

181b, 181cを各々のハウジングに対して非対称位置に配置することにより、発光、受光側の遮断防止機構を持たせることもできる。

従来は、送信用と受信用に別個のコネクタを使用していたので、送信側と受信側を逆に接続する恐れがあったが、この実施例によればそのような恐れがなくなり、しかもコネクタの個数が少なくてすむので安価になる。

各PCBへの負荷・センサ等の接続状態

次に、前述したこの発明の一実施例におけるプリントエンジンPCBと他の各PCB間の接続及び各PCBとその各負荷及びセンサ等の接続状態について第15図及び第18図によって説明する。

まず、電源ユニット58は、第15図に示すように商用の交流電源174から給電された電圧を整流及び降圧して、Vcc、V_{LS}、V_{IS}、及びV_{ISV}の電圧を出力し、これらの出力電圧をそれぞれプリントエンジンPCB51、IFC・PCB52、DPX&LCIT・PCB81及びMB

PCB83に給電する。なお、V_{ISV}の出力電圧はインタロックスイッチ175を介してプリントエンジンPCB51へ供給している。

さらに、この電源ユニット58内には電圧切換回路176を有し、この回路を通してメインファン55及びPCBバックファン54に、プリント中にはV_{ISV}、スタンバイ時にはV_{ISV}よりも低いV_{LS}の電圧を供給し、プリント中とスタンバイ時でファン速度を変えるようにしている。

また、プリントエンジンPCB51とDPX&LCIT・PCB81、MB・PCB83、及び操作表示パネル11との間には、前述のようにそれぞれオプティカルファイバ・ケーブル98A, 98B, 98Cによって接続されている。

この接続は、第18図に示すようにプリントエンジンPCB51内の通信制御用インタフェース回路(CCI)150の各シリアルインタフェース・ポートSIFと、PCB81内のCPU152、PCB83内のCPU157及び操作表示パネルPCB94内の明示しないCPUの各シリア

ルインタフェースポートSIFとの間を、オプティカルファイバ・ケーブルを介した光通信ラインによって接続することによりなされる。

そして、プリントエンジンPCB51には、第15図に示すように、プリントエンジン関係の負荷及びセンサ類として次のようなものが接続されている。

定着器31のヒータコントロール用サイリスタ181、定着温度検知用サーミスタ182、フロントカバー開放検知スイッチ183、トップカバー開放検知スイッチ184、サイドカバー開放検知スイッチ185、メインモータ57の駆動回路186、現像モータ38の駆動回路187、上給紙カセット2の高さ制御用モータ188、下給紙カセット3の高さ制御用モータ189、上給紙カセット内のペーパーサイズセンサ190、下給紙カセット内のペーパーサイズセンサ191、上給紙カセット内のペーパーエンドセンサ192、下給紙カセット内のペーパーエンドセンサ193、帯電、帯電、現像バイアス、及び分選の各チャージャ34、

30、35a、82にそれぞれ高電圧を供給する高電圧ユニット59、レジストセンサ80、定着出口センサ81、ペーパー通達変更爪32、33の駆動用プランジヤ32P、33P、上給紙用クラッチ184、下給紙用クラッチ185、レジスト用クラッチ188、及び第3図のポリゴンミラー44を回転するポリゴンモータ187の駆動回路188が接続されている。

さらに、トータルカウンタ202、感光体ドラム交換スイッチ203、トナーオーバーフロー・センサ204、トナーエンド・センサ205、給電用LED57、オフライン・テストモード・スイッチ206、及びテスト開始スイッチ207も接続されている。

また、プリントエンジンPCB51内には、第10図では省略したが、CPU142によってコントロールされるドラムカウンタ(不揮発性メモリNVRAMまたはEPROM)180と、半導体レーザ41の発光パワーを制御するパワーコントロール回路200が設けられており、レーザ

ダイオードLEDとモニタ用フォトダイオードPDを有する半導体レーザ41の駆動回路201が、直接及びパワーコントロール回路200を介してビデオコントロール回路149に接続されている。

ビデオコントロール回路149は、パワーコントロール回路200により半導体レーザ駆動回路201によるレーザダイオードLEDの発光輝度をフォトダイオードPDからのフィードバック信号を用いて一定に制御させつつ、画像データに応じた制御信号VIDEOによってレーザダイオードLEDを点滅させ、第5図乃至第8図によって説明したように、第3図のレーザ書き込みユニット40による感光体ドラム28へのプリントデータの書き込みを制御する。

なお、ポリゴンミラーからの反射光を書込み時に受光するフォトディテクタ50の検知信号を波形状とした同期検知信号DETPもビデオコントロール回路149に入力し、書き込み開始時間を規制する。

さらに、このプリントエンジンPCB51には、

ツチ228を接続している。

また、メイルボックス(MB)PCB93には、搬送用モータ230、ピン紙無しセンサ231、ピンオーパフローセンサ232、メイルボックス入口センサ233、各ピンの選択用プランジャ234〜239、各ピンを左右に移動させるためのジョブセパレーション・モータ240、各ピンの左右位置を検出するための左端スイッチ241と右端スイッチ242を接続している。

IPC・PCB52は、プリントエンジンPCB51内のCPU142及びビデオコントロール回路149とそれぞれ多数の信号線によって接続されると共に、フロントカートリッジ12、13並びにエミューレーションカード14にも接続される。また、操作表示パネルPCB94にVccの電圧を供給する。

通信制御用インタフェース回路の詳細

従来、CPUとの通信用に使われている回路は、内部データバスを使用しているため、各チャンネル又は内部レジスタが選択されてリード信号又は

大量データユニット(LCOT)6内の各部品、すなわち各データトレイを左右に移動させるためのジョブセパレーション・モータ210、各データトレイの左右位置を検出するセンサ211、212、ペーパー送路変更爪81を駆動して上下のデータトレイを選択するためのプランジャ81P、下段出口スイッチ213、上段出口スイッチ214、上段及び下段データトレイのオーパフローセンサ215、216が接続されている(第15図参照)。

次に第18図に示すように、DPX&LCIT・PCB81には、両面搬送用のクラッチ219、両面ドライブモータ73、両面入口センサ71、両面出口センサ72、ペーパー送路変更爪87を駆動するためのプランジャ87P、以下LCIT用の給紙クラッチ220、ドライブモータ77、ペーパーサイズセンサ221、ペーパースタックの上下駆動用モータ222、カバーオープン・スイッチ223、上段スイッチ224、下段スイッチ225、ペーパーエンドセンサ228、トレイ下降スイッチ227、及び両面部カバーオープン・スイ

ライト信号がアクティブとなった後に、実際にデータが入出力する迄の遅延時間が長かった。

すなわち、リード信号がアクティブになって、各チャンネル又は内部レジスタがハイインピーダンス状態からデータを入力するまでのセットアップタイム、またはライト信号がアクティブとなつて、各チャンネル又は内部レジスタがハイインピーダンス状態からデータ入力可能状態となるまでのセットアップタイムの影響で遅延時間が長かった。

そのため、CPUとのデータの授受の時間が長く必要となり、したがって応答速度が遅く、バスライン上での使用周波数を高くできないという欠点があつた。

この発明の詳述した実施例に使用する通信制御用インタフェース回路150は、内部にデータバスを使用せず、全て入出力線に分けることにより遅延時間を大幅に短縮している。

その回路構成を第17図にブロック図で示し、そのリードタイミングを第18図にタイム

グチャートで示す。

この通信制御用インタフェース回路（以下「C C I 回路」ともいう）は、第17図に示すように、C P U との間でデータD、 \bar{D} 、の入出力を行なうデータバスバッファ250、アドレスデータ及び各種制御信号を入力するアドレスデコード251、内部レジスタ（動作制御部を含む）252、送受信速度を決めるクロック信号を発生するオーレートジェネレータ254と、各チャンネルA \sim Dのパラレル/シリアル相互変換回路を含む送受信ブロック255 \sim 258等によって構成されている。

そして、C P U からのデータはバスバッファ250から直接各チャンネルの送受信ブロック255 \sim 258へ、アドレスデータ及び各種制御信号はアドレスデコード251から直接内部レジスタとマルチプレクサ253へそれぞれ送られ、各送受信ブロック255 \sim 258による受信データは、マルチプレクサ253のみを介してバスバッファ250を通してC P U へ転送されるように

255 \sim 258及び第17図の内部レジスタ252に相当する各内部レジスタ（インストラクションレジスタ）INST1 \sim INST3及びINST4 \sim 5へ逐次遅延時間なく伝送される（D P R T 出力のINDATA信号）。

また各内部レジスタのデータ及び受信データは、マルチプレクサ253で選択されてOUTDATA信号となつてデータバスバッファ250経由でC P U に出力される。

C P U への出力も、マルチプレクサ253でのデータセレクトの遅延時間だけなので、リード信号に対するデータ（D、 \bar{D} ）の遅れは殆ど無い。

C P U からの入力データは、先ずC/ \bar{D} 信号によって内部レジスタ252へ書き込むコントロールデータか、各送受信ブロック255 \sim 258へ書き込む送信データかを区別される。

さらに、アドレス信号A、 \bar{A} 、によって、どの内部レジスタか、あるいはどの送受信ブロックが選択される。

なつている。そのため、外部バスから内部迄の信号遅延時間は殆どない（デコード遅延時間のみ）。

また、各送受信ブロック255 \sim 258や内部レジスタ252の内容（データ）は常にマルチプレクサ253に入力されており、リード信号RDのアクティブからデータ出力迄の遅延時間は、マルチプレクサ253内のゲート遅延時間のみである（第18図参照）。ライトタイミングについても同様である。

したがって、従来の回路よりリード、ライトとも遅延時間が短くなり、C P U との間で高周波でのデータの授受を行なうことができる。

第18図は、このC C I 回路の具体例を示すブロック図であり、第17図と対応する部分には同一の符号を付してある。

250はデータバスバッファであり、外部（C P U ）との接続は3ステイト状態をとるが、内部に対しては、入出力分離して接続している。

C P U からのコントロールデータ及び送信データは、ポートD P R T を経て、各送受信ブロック

アドレスデコード251は、コントロール/データ信号C/ \bar{D} 及びアドレス信号A、 \bar{A} 、によって決められる内部レジスタあるいは送受信ブロックを選択し、チップセレクト信号CSがアクティブとなり、さらに書き込み信号WRがアクティブとなつた時に、L A D R S 信号あるいはSEL R G 信号をアクティブとする。

各内部レジスタINST1 \sim INST4 \sim 5はセレクト信号SEL1 \sim SEL3及びSEL4 \sim 5のいずれかがアクティブとなつた時に、対応するレジスタの内部入力ゲートが開かれ、C P U からの入力データINDATAを取り込む。

一方、データが送信データである場合（C/ \bar{D} が「L」の時）は、デコードの出力L A D R S は一旦ポートセレクトP R T S E L を経由して、「物理アドレス \rightarrow 物理アドレス」に変換されて、SEL P T 信号となつて各送受信ブロック255 \sim 258へ入力される。

各送受信ブロック255 \sim 258は、SEL P T 信号のSEL A \sim SEL D のいずれかがアクテ

イブとなった時に、ブロックの内部入力ゲートを開いてデータを取り込む。

CPUヘデータを出力する場合は、マルチプレクサ253によって必要なデータが選択される。

先ず内部レジスタ252の内容を出力する場合は、C/Dが'H'となっている時であるが、アドレス信号A、~A、によって決められる内部レジスタをアドレスデコード251が選択しCS、RD信号のアクティブによりSELDATA信号がアクティブとなり、マルチプレクサ253内のゲートが開かれてI1DATA~I45DATA、S1DATA~S2DATAのいずれかを出力データOUTDATAとしてデータバスバツファ250経由でCPUへ出力する。

また、各送受信ブロック255~258の受信データを出力する場合は、C/Dが'L'となっている時であるが、アドレス信号A、~A、によって決められる論理ポートをアドレスデコード251が選択し、さらにポートセクタPRTS E Lで「論理ポート→物理ポート」に交換されて、

各物理ポートの内部出力ゲートが開かれ、アクティブとなった物理ポートのデータがマルチプレクサ253へ出力される。

さらに、CS及びRDがアクティブとなったところで、アドレスデコードの出力信号SELDATAがアクティブとなり、マルチプレクサ253は各送受信ブロック255~258からのデータRADATA~RDDATAのいずれかを選択して、出力データOUTDATAとしてデータバスバツファ250経由でCPUへ出力する。

なお、内部レジスタ252には、2個のステータスレジスタSTAT1、STAT2を有している。ポーレートジェネレータ254は送受信クロック発生部である。さらに、259はレディ信号出力部、280は送受信許可/禁止信号出力部である。

次に、内部レジスタ以下「インストラクションレジスタ」という) について説明する。

インストラクションレジスタINST1は、各送受信ポートのレシーブレディ、トランスミット

レディに関して、CPUへの前送値RXDRDY、TXDRDYをアクティブにするかどうかを管理するレジスタである。

CPUから各論理ポートについてレディのマスク/非マスクについてのデータを受け取ると共に、インストラクションレジスタINST3より「論理→物理ポート」アサインデータLPASNを受け取り、各物理ポートのマスク/非マスクデータMASKをレディ信号出力部259へ送る。

なお、レディ信号出力部259では、各送受信ブロック255~258の実際のレディ/ビジー状態データ(READY)を受け取り、MASKデータと対比して参照した上で、CPUへの前送み信号RXDRDY及びTXDRDYを出力する。

インストラクションレジスタ1の内容は、I1DATA~OUTDATA経由でCPUが読み取る事も可能である。

インストラクションレジスタINST2は、各送受信ポートのエラーフラグ及びこのCCI回路全体をイニシャルリセットするレジスタである。

CPUからデータを受け取ると共に、インストラクションレジスタINST3よりLPASNデータを受け取って、各送受信ブロック255~258へエラーリセット信号CLEARを出力する。

図示していないが、このレジスタからは全ての内部レジスタ及び送受信ブロックハイニシャルリセット信号が出力される。

インストラクションレジスタINST3は、論理ポートと物理ポートとの対応を管理するレジスタである。

第20図に、このインストラクションレジスタINST3の回路図を示す。

D、~D、へはCPUから次のようなコントロールデータINDATAが入力される。

D₁、D₂は論理ポートAをどの物理ポートに対応させるか

D₁、D₂は B .

D₁、D₂は C .

D₁、D₂は D .

信号WINS3がアクティブとなった時に、内

部のデータラッチ281~288によってCPUからのデータINDATAを取り込む。各データラッチ281~288の出力は各デコード271~274へ入力される。この各デコード271~274によって、たとえば論理ポートAについてはLAPA~LAPDのいずれかがアクティブとなって物理ポートとの対応付けが成される。

例えば、論理ポートと物理ポートを

(論理ポート) A——B (物理ポート)

B——D

C——A

D——C

と対応付けたい場合、CPUからの入力データ(INDATA)は次のようになり、

D, D, D, D, D, D, D, D,

1 0 0 0 1 1 0 1

インストラクションレジスタINST3からの出力(LPASN)は、次のようになる。

デコード274 LAPA C

LAPB 1

LAPC 0

LAPD 0

デコード273 LBPA 0

LBPB 0

LBPC 0

LBPD 1

デコード272 LCPA 1

LCPB 0

LCPC 0

LCPD 0

デコード271 LDPA 0

LDPB 0

LDPC 1

LDPD 0

インストラクションレジスタINST45は、第19図において2個のインストラクションレジ

スタ(INST4とINST5)をまとめて図示したものである。

そしてこのレジスタは、各送受信ブロック255~258の通信許可/禁止の管理と、通信速度(ボーレート)を決めるための分周比の管理とを行なっている。

外部からの入力信号中、信号DIVAEN~DIVDENは分周比の設定をハード線で行なうかどうかを指示する信号あり、"L"アクティブである。

この両信号が"H"である時は、通信速度はCPUからの入力データINDATAによって設定され、D、~D、またはD、~D、のデータが内部のデータラッチによって取り込まれ、決定された分周比データDVDがボーレートジェネレータ254(送受信クロック発生器)へ出力される。

なお、データラッチのデータ取込みは、アドレスデコード251からのセレクト信号SEL45に両属する。

信号DIVAEN~DIVDENが"L"でア

クティブである時は、CPUからのデータの内容に無関係に外部からの入力信号DVRA0~DVRA2, DVREB0~DVREB2, DVRC0~DVRC2, DVRED0~DVRED2によって、対応するポートの分周比が決定される。

このように、ボーレートジェネレータ258による基準クロックの分周比は、CPUからも外部信号からも設定でき、各ポート(チャンネル)A~Dの通信速度(ボーレート)を自由に設定する事できる。

ここで、DVR=2, DVR=1, DVR=0 (0は各ポートに対応するA~D)の"L"・"H"と基準クロックCLOCK(14.7456MHzとする)に対する分周比及びボーレートの例を示す。

DVR=2	DVR=1	DVR=0	分周比	ボーレート
L	L	L	1/24×1	614.4KHz
L	L	H	1/24×1/2	307.2KHz
L	H	L	1/24×1/4	153.6KHz
L	H	H	1/24×1/8	76.8KHz
H	L	L	1/24×1/16	38.4KHz

H L H $1/24 \times 1/32$ 19.2kHz

H H L $1/24 \times 1/64$ 9.6kHz

H H H $1/24 \times 1/128$ 4.8kHz

CPUからの入力データINDATAには各々論理ポートA~Dを通信許可/禁止状態にするビットが含まれており、やはりこれもセレクト信号SEL45に同期してデータラッチされ、ENBL信号として送受信許可/禁止信号出力部280へ出力される。

それによつて、送受信許可/禁止信号出力部280は、インストラクションレジスタINST3からのLPASNデータに従つて実際の物理的送受信ブロック255~258へ通信許可/禁止信号ENBLPを出力する。

ここで、ボーレートジェネレータ254の機能についてもう少し説明を加える。

まず、外部からの基準クロックCLOCKを複数のT-FFによつて適宜な値(例えば1/24)に分周し、そのクロックCK_nをさらに7個のT-FFによつて1/128まで分周する。

する。

次に、送受信ブロック255~258によるシリアルポート送信タイミングについて説明する。

第21図は、第19図の送受信ブロック255~258中の送信ブロックの具体例を示す回路図であり、第22図はそれによる送信時のタイムチャートである。

以下、ポートAを例にとつて説明する。

第21図でSELは第19図のポートセレクトからのポートセレクト信号SELAである。WRTXBは、第19図には表示していないが外部からのWR信号と等価である。さらにENTXDB信号は送受信許可/禁止信号出力部280からのポートイネーブル/ディスエーブル(許可/禁止)のENA(許可)信号である。

WRTXB信号に同期して、送信バッファ275のD₀~D₇にCPUから送信データINDATAが入力されると、WRTXB信号の立上りで送信レディ信号TXRDYがインアクティブとなる。

この7個のT-FFの入出カクロックを4個のマルチプレクサに入力し、CK_n/1~CK_n/128の8種のクロックのうち、インストラクションレジスタINST45からの分周比データDIVDによつて決定される1つのクロックを選択して、例えば送受信ブロック255に送信クロック(TXA)としてCLKAを出力する。

受信クロック(RXA)についても同様であり、他の送受信ブロック256~258への送受信クロックCLKB、CLKC、CLKDも同様にして出力する。

次に、2つのステータスレジスタSTAT1、STAT2について簡単に説明する。

1つは送受信のレディレジスタであり、もう1つはエラーステータスレジスタである。CPUはC/Dを'H'にしてこれらのステータスレジスタの内容を読み出すことができるが、読み出し中はステータスの更新は禁止されている。

なお、この2つのステータスレジスタの機能については、送受信ブロックの説明をした後に説明

その後、TXCクロックによつてシフトレジスタ278のLD入力信号がアクティブとなると、送信データは送信バッファ275からこのシフトレジスタ278へ転送される。

この時点で、CPUからは再び送信バッファ275への送信データの入力が可能となるので、LD信号の立下りと共に、TXRDY信号はアクティブとなる。

ここで、送信ブロックはシフトレジスタ278からシリアル送信をTXD信号として送信開始するが、その送信途中でもCPUからは次の送信データの入力が可能である。

TXDのシリアル送信開始と同時にTXBUSY信号がアクティブとなつて、送信バッファ275からシフトレジスタ278へのデータ転送を禁止する。

一方、シフトレジスタ278は、スタートビット、データビットD₀、...、データビットD₇、ストップビットの順でTXCクロックに同期して送信データをシリアル出力する。

なお、スタートビット「L」とストップビット「H」は、シフトレジスタ276で自動的に送信データに付加している。

1送信データ(1スタートビット+8データ+1ストップビット=10)をカウントするビットカウンタ277は、スタートビット送出から1/2TxCクロックずれてカウントを開始する。

このビットカウンタの値が9になると次のTxCクロックの立上りでこのビットカウンタはリセットされると共に、TXBUSYが解除される。この時点で、送信バッファ275の内容はシフトレジスタ276への転送が可能となり、LD信号がアクティブとなる。

このようなシーケンスで、次々とシリアルデータの送信が行われていく。

次に、送受信ブロック255~258によるシリアルポート受信タイミングについて説明する。

第23図は、第18図の送受信ブロック255~258の中の受信ブロックの具体例を示す回路図であり、第24図はそれによる受信時のタイム

チャートである。

なお、この例では受信クロックRXCの作成部が受信ブロック内に入っているが、これは第19図のポーレートジェネレータ254に入っているも良い。

以下、ポートAを例にとつて説明する。

先ず、外部からの受信データRXDが「H」から「L」に変わった所でNORゲート280よりスタートトリガパルスSTRが発生する。

受信クロック発生部281は、このスタートトリガパルスSTRに位相を合わせて受信クロックRXCを作り出す。スタートトリガパルスSTR発生後最初の受信クロックRXCの立上り時にNORゲート283よりエラースタートチェックパルスが発生する。

このパルスが発生した時点でRXD入力が「L」つまりスタートビットを保っているれば、D-FF284の出力は「H」となつて、スタートトリガパルスSTRの発生をネゲートする。もしRXD入力が「H」であるならば、該スタートビットで

あるとしてD-FF284の出力は「L」となり、次のスタートトリガパルスSTRの発生準備をすると同時に、ビットカウンタ282をクリアする。

スタートトリガパルスSTR発生をネゲートされた状態で、シフトレジスタ285はRXDからのシリアル入力データを取り込む。これは入力データビットの中央(RXCのクロックの立上り)でラッチされる。

また、ビットカウンタ282もカウントスタートする。ビットカウンタ282の値が「9」となつてからRXC/2クロックの後ストロボ信号STBがインバータ287より発生する。このストロボ信号STBの立上りでシフトレジスタ285内のシリアル入力データQ、 $\sim Q$ 、を受信バッファ286がラッチして第19図のマルチプレクサ235に出力する。

ストロボ信号STBの立下りの時点でD-FF288はRXD入力データを見て、ストップビットに相当するこのデータが「L」であれば、出力FRRERRをアクティブとしてフレーミングエラ

ー発生を第19図のステータスレジスタSTAT2に伝える。このFRRERR信号はインストラクションレジスタINST2によつてリセットされる迄エラー状態を保持する。

ストロボ信号STBの立下り後、NORゲート289はフレームエンドパルスが発生し、S-RRFF290をセットしてRXRDY信号をアクティブにする。このRXRDY信号は、ポートAが選択されて受信バッファ288のデータをマルチプレクサ253が読み込んだ時、つまりRD信号の立下りでクリアされる。

もしRXRDY信号が「H」つまりシフトレジスタ285に有効なデータがある時にストロボ信号STBが発生した場合は、受信データをCPUが読み込む前に次の受信データがあつたということであり、D-FF291によりオーバーランエラー信号OVERERRが出力される。

このOVERERR信号は、フレーミングエラーと同時に第19図のインストラクションレジスタINST2からリセットされる迄エラー状態を保

待する。

もし、次のストロブ信号STBの発生前に受信バッファ288の内容がCPUに読み込まれれば、RXRDY信号はインアクティブとなっているのでエラーは発生しない。

ここで、第18図における2つのステータスレジスタSTAT1、STAT2の機能について説明する。

第21図の送信バッファ275が空のとき、つまり前のデータがシフトレジスタ276に転送終了した時点でその送受信ブロックが転送レディ状態となる。この時、ステータスレジスタSTAT1のTXRDYフラグが「1」になる。また、その送信ポートがノンマスクであれば、TXRDY線が「L」になる。

CPUがTXRDYフラグを読み出して、データバスライン経由で送信バッファ275にデータを転送すると、TXRDYフラグは「0」になる。但し、他のノンマスク送信ポートがレディであれば、TXRDY線はアクティブ状態を継続す

る。

そして、送信バッファ275内のデータがシフトレジスタ276に転送し終わると、TXRDYフラグは再び「1」になる。

また、第23図の受信バッファ288にデータが入力されると、レシーブ動作があつたとして、このステータスレジスタSTAT1内の対応するRXRDYフラグが「1」にセットされる。また、その受信ポートがノンマスクであれば、CPUへのRXRDY線も「L」になる。

CPUが受信バッファ288内のデータを読み出すと、RXRDYフラグは「0」となるが、RXRDY線は他のノンマスク受信ポートの受信バッファ内にデータがある場合は、アクティブ状態を継続する。

このステータスレジスタSTAT1は、インストラクションレジスタINST1のマスク/ノンマスクの影響を受けない。一方、インストラクションレジスタINST45のENBL₀フラグが「0」の送受信ポートのについては、このステ

タスレジスタSTAT1のRXRDYフラグ、TXRDYフラグはいずれも「0」となる。

一方、ステータスレジスタSTAT2は、送受信ブロック255-258における第23図の受信部で、各々のデータの終りで有効なストップビットが検出されない(ストップビットが「L」)時、フレーミングエラーが発生したとして、このステータスレジスタの対応するポートのFREビットが「1」にセットされる。

また、受信バッファ288内にデータがまだある時に次のデータを受信した時には、オーバーランエラーが発生したとして、このステータスレジスタSTAT2の対応するポートのOVRビットが「1」にセットされる。

フレーミングエラーもオーバーランエラーも、発生した時の動作はこれだけであり、特に積極的なエラーリカバリ動作は行なわない。また、FRE、OVRビットは、共にインストラクションレジスタのERRSTビットを「1」にすることによりリセットされる。

ここで、第18図に示した各レジスタINST1、INST2、INST3、INST45 (INST4、INST5)、STAT1及びSTAT2のレジスタマップを第25図に示す。

なお、INST4、5により設定されるボーレートは、全て基準クロックCLOCKの周波数 $\times 1/24 \times 1/n$ であり、図中では $1/n$ のみを示している。

以上説明した通信制御用インタフェース回路(CCI回路)は、第18図に破線で囲んで示した回路を集積回路(IC)化して一体的に形成し、第26図に示すようなワンチップの集積回路端子とすることもできる。

以下に、その集積回路端子化した実施例について記述する。

このICには、前述のように非同期通信可能なシリアルポートが4つ内蔵されており、4チャンネルシリアル制御による全二重送受信可能であり、その転送レイトはハードウェアとソフトウェアのどちらでも設定可能である。また、4チャンネル

の論理アドレスと物理アドレスの設定が自由である。

このICの各ピンの信号名とその機能を簡単に列記する。なお、信号名の後に示す(I)は入力、(O)は出力、(I/O)は入出力をそれぞれ示す。
D、 \sim D、(I/O)：データバス

本ICとCPU間のコマンド、データ、及びステータスの伝送に使われる双方向のスタートデータバス。

RESET (I)：リセット信号

ローレベルでリセット動作を行なう。

①全ての内部レジスタ又は内部バッファをクリア又はデフォルトする。

②送信線TXDA \sim TXDD出力をマーク状態('H')にする。

③全ての送受信ポートをイネーブルにする。

④TXRDY線、RXRDY線をアクティブにする。

信号である。

CLOCK (I)：外部クロック入力

キヤラクタ送信用の基本クロック信号である。

TXDA \sim TXDD (O)：送信データ出力

チャンネルA \sim Dの送信部シリアルデータ出力である。

RXDA \sim RXDD (I)：受信データ入力

チャンネルA \sim Dの受信シリアルデータ出力である。

TXRDY (O)：トランスミットレディ信号

本ICがデータを送信可能な状態であることをCPUに知らせるための信号である。

VCC：電源入力

GND：0V電源(アース)

なお、DIV=EN、DVR=2、DVR=1、およびDVR=0(=A \sim D)については、既に説明したように分局比すなわち伝送レイトの設定方法の選択と外部設定入力である。

CS (I)：チップセレクト信号

'L'の時に本ICとCPU間のデータが可読になる。

WR (I)：ライトストロープ信号

この信号が'L'でCSが'L'のとき、データバスD、 \sim D、上の内容が本ICに書き込まれる。

C/D (I)：コントロール/データ信号

WR、RDとともに、本ICに対してデータバス上の内容がデータかコントロールロード又はステータス情報であるかを知らせる。

H：コントロール又はステータス

L：データ

A、 \sim A、(I)：アドレス入力

送受信ポートを含めて本ICの内部レジスタを選択する。

RXRDY (O)：レシーブレディ信号

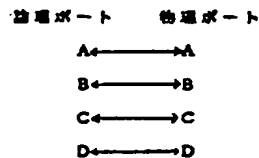
本ICがデータを受信して、それを保持していることをCPUに知らせるための

レーザプリンタ本体と付加装置との送受信

まず、付加装置(オプション)の接続と接続先の特定について、第27図のフローチャートによって説明する。

第10図におけるプリントエンジンPCBS1内のCPU142(以下「本体CPU」という)は、パワーオン(電源ON)後、通信制御用インタフェース(CCI)回路150のインストラクションレジスタINST3(第19図)に収められたポートアサインデータ(アドレス)を読み込む。

たとえば「11100100」と読み込むと、論理ポートと物理ポートが



のように対応する。

また、本体CPU142からわざわざ書き込まなくても、CCI回路150のパワーオン後のデフ

オルト値を利用してもよい。

次に、論理ポートA～Dを通じて各オプションを初期化すべくコマンドを送出する。全てのポートに対して初期化指令を送出してしばらく経過後、各物理ポートに接続されている付加装置の認識番号を問い合わせる要求コマンドを送出する。

今、「論理ポートA=物理ポートA」となるように初期設定したので、CPUから見たAポートは物理的にもAポートである。

この時付加装置から応答が無い場合は、接続図(第27図の例では2図)問い合わせを行なつてそれでも応答が無い場合に「物理ポートN=接続オプション無し」というデータを物理テーブルに書き込む。

この本体CPUのメモリ(RAMエリア)内の物理テーブルは、たとえば第28図に示すような構成となっている。

今、物理ポートA～Dに対応する各オプションからの認識情報の返答が

- A オプション#3 (コード011)
- B オプション#1 (コード001)
- C オプション#4 (コード100)
- D 返答無し

であつたとする。この時本体CPUのメモリ内の物理テーブルには

"011001100000"

というデータが書き込まれる。

一方、この本体CPUのメモリ(ROMエリア)内の論理テーブルには、第29図に示すように、

"001010011100"

というデータが存在していたとする。

これはつまり、本体CPUのメインプログラム上では、各ポートA～Dにそれぞれ次のオプションが接続されているとして扱っていることを示す。

ポートAにはオプション#1

ポートBにはオプション#2

ポートCにはオプション#3

ポートDにはオプション#4

本体CPUは、物理テーブルに各物理ポート接

続のオプション認識番号を書き込んだ後に、物理テーブルと論理テーブルを比較して、

論理ポート 物理ポート

A → B

B → D

C → A

D → C

と対応付ければ、メインプログラム上で全く正常にオプションとの送受信が行なえることを知る。

その結果、本体CPU142はICC回路52内のインストラクションレジスタINST3に

"10001101"

というデータを書き込む。

この操作の後、CPU側から見ればあたかも

ポートAにオプション#1

ポートCにオプション#3

ポートDにオプション#4

が接続されているように取り扱うことが可能となる。またポートBには本来オプション#2が接続されるはずだが、現在は接続されていないことも

知る。

そして、CPU142は外部コントローラ(IFC)52に対してオプション構成、つまり現在オプション#1、#3、#4が接続しているという情報を送出して、その後メインプログラムに処理を移していく。

このように、各付加装置(LCIT、LCOT、MB、DPX等のオプション・デバイス)は、それぞれ固有の認識情報(デバイスID)を持っており、それによつて本体CPUが各付加装置の接続状態を認識することができる。

記録媒体識別番号の共有

この実施例では、記録媒体に識別番号を使用しているが、これは画像形成装置(この実施例ではレーザープリンタ)本体が独自に付けるたとえば記録用紙の識別番号(以下「ペーパーID」という)である。

これは、ペーパー上に記録される番号という意味ではなく、インタフェースコントローラ(IFC)とプリントエンジンと付加装置(オプション)間

で共有される仮想のデータである。

たとえば、レーザプリンタシステム内に最大6枚のペーパーが存在する場合があり得るとする。この時、最低で1～6のペーパーIDを付けることができる。IFC、プリントエンジン、オプションは、各々現在どこにどの紙が存在しているか知ることができる。

そこで、このペーパーIDに4ビットを割り当て、本体CPUが1～Fまでの番号を循環的に割り付けるようにしている。たとえば、両面プリントをする場合でも、1枚の用紙に対して1つのペーパーIDが付けられる。

このようにすることにより、IFC52からのジャムバックアップが容易になる。

たとえば、レーザプリンタ内で用紙がジャムした場合、これに記録された内容は失われてしまう。したがって、同一のデータを改めてプリントする必要がある。

ところが、従来はIFC52としては、どの紙に記録した内容が失われてしまったのかを直接

知る手段がなく、ジャム位置の情報等からおおよその見当を付けて再記録データをプリントエンジンに送るという手段をとっていた。

ところがこれだと、再記録すべきデータの信用性に乏しく、大きな欠点となっていた。

この実施例ではこの欠点を改善すべく、記録すべき用紙に仮想のペーパーIDを付けて、IFC、プリントエンジン、オプション間でこのデータを共有することにした。

それによつて、例えばジャムが発生した場合、IFC52はジャムしている用紙のペーパーIDをプリントエンジン51に問い合わせ、再記録すべきデータがどれであるかを正確に知ることができる。

また、IFC52は記録開始する時点でプリントエンジン51より受け取るペーパーIDと、排紙完了した時点でやはり本体から受け取るペーパーIDとを比較して、常に現時点で本体1内に入っている用紙のペーパーIDを知ることができるので、ジャムした時点でIFC52がジャム紙を自ら検

定することも可能になる。

したがって、IFCからのジャムバックアッププリントが非常に容易になる。

また、このペーパーIDをオプションとも共有することによつて、本体CPU142の負荷を軽減することができる。

すなわち、給紙オプション、排紙オプションあるいは両面プリントオプション等のオプションのうち、IFC52から選択された通紙経路上にあるオプションに対してペーパーIDを送出した後、本体CPU142は本体1内にある用紙に対応するペーパーID以外は一旦メモリから消却してもかまわない。

もし、一旦本体1から排出された用紙が再び本体に投入されるような通紙経路であれば、排出する時点で排出先のオプションにペーパーIDの管理権を渡し、また本体内に投入する時点で相手となるオプションからペーパーIDを知らせてもらえば良い。

さらに、もし排出した先でジャムが発生したと

しても、そのオプションからジャム発生した用紙のペーパーID情報をもらつてIFCへ伝えればよいことになる。

このように、レーザプリンタ本体のCPUが全てのペーパーIDを常に管理する必要はなく、ペーパーID情報が必要となった時に、その都度IFCやオプションとペーパーID情報の授受を実行すればよいことになる。

このような、本体CPU142側のペーパーIDに関する動作を図30図～図32図のフローチャートに示す。

なお、図32図はジャム発生時の割込み処理であり、本体内のジャム紙のペーパーIDをIFCへ出力し、各オプション内にもジャム紙があれば、そのペーパーIDをそのオプションから入力する。そして、これらの各ジャム紙のペーパーIDをIFCへ出力する。

その後、本体内のジャムが解除され、各オプションからジャムが解除された情報を入力すると、システムレディ信号をIFCへ出力して割込み処

道を終了し、メインルーチンへ復帰する。

第3図は、IFC52側のペーパーIDに関する動作を示すフローチャートである。

プリントエンジンにおける制御機構

この実施例におけるプリントエンジンの制御は、第8図〜第11図、第15図及び第18図に示したプリントエンジンPCB51によってなされるが、その機構は大別して次の3つのブロックからなる。

- (A) シーケンスコントロールブロック
- (B) ビデオインタフェースコントロールブロック
- (C) 通信コントロールブロック

いずれのブロックもCPU142が関与しているが、シーケンスコントロールブロックはCPU142を中心とするブロックで、プリント時のプリントエンジンユニット自体の各部のシーケンス制御と、一部のオプションデバイスのシーケンスを行なう。

ビデオインタフェース・コントロールブロック

トロール、及び各オプションのデバイスI/Fコントロールを行なう。

一方、内部ステータスルーチンでは、定着部のヒータコントロール、プリントステータスインプット（各種センサ順の監視）、プリンタシステム・モードセット（通常プリントモード、テストプリントモード、エラー発生等のモードセット）、及びプリンタシステム・ステータスチェック（センサ入力の分析・診断）を行なう。

割込処理ルーチンのプリントタイミングコントロールでは、給紙、搬送、及びイジェクト（排紙）の各コントロールを行なうペーパー処理コントロールと、FRAIE（画像書き込み制御用の信号）のコントロール及び各チャージヤへの高電圧印加をコントロールするプロセスコントロールとを行なう。

IFC I/Fコントロールでは、IFC52からのデータ入力を一時記憶するIFCデータインプットルーチンと、コマンドバッファに入れるかどうかを判断するルーチン及びアウトプットデー

タは、前述のビデオコントロール回路149を中心とするブロックで、IFC・PCB52との間で信号の授受を行ない、半導体レーザ駆動回路を制御してレーザビームによる感光体ドラム29への画像データの書き込みを制御する。

通信コントロールブロックは、さらに2つに分れる。一方は、前述の通信制御用インタフェース（CCT）回路を中心とするブロックで、その各シリアルインタフェースポートにオプショナルファイバ・ケーブルを介して接続される各オプションデバイス（LCIT、DPS、MB等）及び操作表示パネル11との間での通信を制御する。

もう一方は、CPUを中心とするブロックで、IFC・PCBとの間でデータの授受を行なう。

このプリントエンジンにおけるCPUの機能を、第34図にブロック図で示す。

このコントロール機構は、割込処理ルーチンと内部ステータスルーチンとからなり、割込処理ルーチンでは、チェックタイマコントロール、プリントタイミングコントロール、IFC I/Fコン

タを作るルーチンからなるインプットコマンドルーチンの処理を行なう。

デバイスI/Fコントロールでは、オプションデバイスからのデータを入力するデバイスI/F入力ルーチンと、デバイスのステータスを見てデバイスをコントロールするコマンドを出すルーチン（デバイスステータス・ルーチンとデバイスコマンド・ルーチン）の処理を行なう。

第5図にこのプリントエンジンに使用しているCPU142の内部のデータの流れを示す。この図中、(A)のプリントエンジン・コントロール・モジュールの部分が前述のシーケンスコントロールブロックに、(B)のIFC I/Fコントロール・モジュール及び(C)のデバイスI/Fコントロールモジュールの部分が前述の通信コントロールモジュールブロックにそれぞれCPUが関与している事を示している。

通信方法

- (1) インタフェースコントローラ（IFC）とプリントエンジン（PE）間通信

IFCとPEとは、前述のCCI回路によるか、または別の独立したシリアル通信手段によって通信を行なう。

IFCからPEへの送信については、PEは受信時前送み処理により直ちにIFCからの受信内容に応じた処理を実行する。

PEからIFCへ送信する場合は、PEがまずサービスリクエスト信号SRQを真にして、それに応じてIFCが照会コマンドを送信する。その結果、PEはSRQを偽にすると共に送信を開始する。または、PEが非同様にIFCへデータを送信してIFCよりそのデータの受信確認を受けとつた後、次のデータ送信を行なう方法をとる。

(B) プリントエンジン(PE)と各デバイス間通信

PEと図面及び大量給紙ユニット(DPS&LICIT)、メールボックス(MB)、操作表示パネル(オペレーションパネル:OP)等の各デバイス間はボーリング方式で通信する。

すなわち、常にPEからのコマンド(Command)、ステータス(Status)、ステータスリクエスト

(Status Request)、インクファイアリ(Inquiry)に対する応答として、デバイス側が返送する方式をとる。

また、PEからデバイスへの送信は、先頭に送信開始(TB)コード及び後尾に送信終了(TE)コードを伴ない、これらの両コードにはデバイス識別情報であるデバイスIDを含む。

各デバイスからPEへの送信も、先頭にTBコード、後尾にTEコードを伴なう。この通信方法を第38図に図示する。

(C) 通信エラー時の処理

PEと各デバイス間の通信において、受信状態が次の①～④の場合に再送信要求(Retransmit Request)を送る。

①オーバランエラー又はフレーミングエラー等の通信エラーを検出した時

②イリーガルコード(Illegal Code)を受信した時

③一定期間以上データを受信しなかつた時

送信側は、再送信要求を受けたら直ちにタイミ

ングで再送信を実行する。再送信要求に respondingして再送信されたデータが再び上記①～④のいずれかに該当する場合は、受信側は通信エラー発生と判断して必要な処置をとる。

また、IFCとPE間において、PEの受信内容が上記①又は②に該当する時、PEはIFCに対して受信データ破綻不能を示すコードを送信する。①又は②の状態が連続して2度以上発生した時は、PEは通信エラーと判断して「通信エラーイベントレポート」をIFCに送出して、「イニシヤライズ」コマンド以外のコマンドは受け付けない状態に入る。

(D) タイミングフロー図による説明

第37図～第41図にPEとIFC及びデバイス間の通信内容と各部の動作をそれぞれタイミングフロー図で示す。

第37図はパワーON時、第38図は通常プリント時、第39図はリミットレスプリント時、第40図はプリントエンジンジャム及び給紙デバイスジャム発生時、第41図は排紙デバイスジャム

発生時のタイミングフロー図である。

なお、第38図～第41図中FORTHは画像送込み時の前進方向のタイミングをとるための制御信号である。

第39図の、リミットレスモードは、選択されている給紙デバイス(上、下給紙カセット又はLICIT)のペーパーがなくなると自動的に他の給紙デバイスを選択し、選択されている排紙デバイス(LCOTの上段排紙トレイ又は下段排紙トレイ等)のペーパー一杯(フル)になると自動的に他の排紙トレイを選択して、これらの自動選択がなくなるまで連続的にプリントし続けるモードである。

第37図のパワーON時の動作において、「イニシヤライズ」について説明する。

イニシヤライズコマンドは、IFCがPEに対してイニシヤライズを要求するコマンドである。また、IFCがPEに出力するプリント要求を独立した信号線(PRINT信号)で出力するか、通信回線上のプリント要求コマンド(PF command)

で出力するかを選択するコマンドでもある。

このコマンドはアーギュメント (argument) の内容によつて次のような意味をもつ。

アーギュメントとは IFC より送信されるコマンドに付随して送信されるデータのことであり、コマンドをさらに細分化する機能を持つ。

①initialise: PE は全てのユニットを初期状態に戻す。

②diagnostics: PE は全てのユニットを初期状態に戻した後、電気的自己診断を実行し、その結果として診断ベクトルを IFC に返す。

③test print: PE は診断ベクトルを IFC に返し、また所定のテストパターンをテストプリントを実行する。

④PRINT/FFcommand:

IFC がプリント要求として PRINT 信号を選択した場合、PE は PRINT アクティブでプリント要求があつたと判断する。また、この要求に対す

る応答は時に過ぎない。

IFC がプリント要求として FFcommand を選択した場合、PE は FFcommand を受け取った時にプリント要求があつたと判断する。また、プリント要求に対する PE 側の応答として、PE 側で定めたいペーパー ID を返す。

なお、このペーパー ID は記録媒体である紙の識別コード (バイナリコード) であつてページの識別コードではない。したがつて、両面プリントモードの時は、同一のペーパー ID が両面プリントの時及び裏面プリントの時の 2 度出力される。

また、FFcommand によるプリント要求を選択した場合は、PE は部載完了時に、部載完了ステータスにその紙のペーパー ID を付けて IFC に対してイベントレポートを送出する (第 8 図、第 9 図参照)。

このイニシャライズコマンドのアーギュメントのフォーマットを第 44 図に示す。b、ビットは常に '1' でイニシャライズを示し、b、は diagnostics のビット、b、はテストプリントの

ビットで、いずれも実行する時は '1'、実行しない時は '0' である。b、は PRINT/FFcommand の選択用ビットで、PRINT 信号によるプリント要求の時は '0'、FFcommand によるプリント要求の時は '1' である。

したがつて、IFC からのイニシャライズコマンドのアーギュメントメントの b、ビットが '1' である時、PE は図等として診断ベクトルを IFC に返す。b、ビットが '0' の時、図等はアーギュメントの内容で b、ビットを '0' として返す。

なお、本実施例ではプリント要求を信号線により出力するか、コマンドにより出力するかの選択をイニシャライズコマンドにより実行しているが、これは例えば、PCB 上に配置された SW 等により設定することも可能である。

自己診断の内容は次のようなものである。

①PE CPU テスト (ROM, RAM, タイマのテストを含む)

②DPX & LCIT CPU テスト (同上)

③MB CPU テスト (同上)

④OP (オペレーションパネル) CPU テスト (同上)

⑤PE ~ DPX & LCIT 接続テスト (通信線)

⑥PE ~ MB 接続テスト (通信線)

⑦PE ~ OP 接続テスト (通信線)

⑧PE & LCOT I/O ポート
スキャンングテスト

⑨DPX & LCIT I/O ポート
スキャンングテスト

⑩MB I/O ポート スキャンングテスト

⑪OP I/O ポート スキャンングテスト

次に、PE によるオプション構成の判断は、前述したように各デバイスからデバイス ID を受信して、各物理ポート (A ~ D) に接続されているデバイスを確認し、必要に応じて物理ポートと物理ポートの対応付けの変更も行なう。

ペーパーサイズ (プリント用紙の長さ) のデータは、それを直接検知するのではなく、各サイズのペーパーを収容するカセットコード (例えば 5

ビットのコード)を換知して、プリントエンジン内で次のようにコード変換する。

カセットコード→ペーパーリングスコード、
ペーパーワイズコード

これによつて、IFCはPEより各紙張トレイに収納されているペーパーの幅及び長さの情報を得ることができる。

第38図及び第39図において、給紙デバイス選択は、IFCがPEに対して入力トレイを選択するコマンド(SET-CURRENT-INPUT)により行なわれ、選択された入力トレイが妥当なものであれば、その後のプリント要求に対しては新しく選択された入力トレイが有効となる。但し、妥当でない場合は以前の入力トレイが有効となる。

このコマンドのアーギュメントは8ビットデータの低位2ビットで入力トレイを指定する。

(例えば '01': PE上トレイ, '10': PE下トレイ, '11': LCITトレイ)

紙張デバイス選択は、IFCがPEに対して出力トレイ(排紙トレイ)を選択するコマンド(SET

-CURRENT-OUTPUT)を送出することによつて行われ、選択された出力トレイが妥当なものであれば、その後プリント要求に対しては新しく選択された出力トレイが有効となる。但し、妥当でない場合は以前出力トレイが有効となる。

このコマンドのアーギュメントは、例えば8ビットデータの低位5ビットで出力トレイを指定する。出力トレイの種類は、標準排紙トレイ、LCOTの上段排紙トレイと下段排紙トレイそれぞれノーマルポジションとオフセットポジション、後排紙トレイ、メールボックスの最下段トレイのノーマルポジションとオフセットポジション及び各ピン(#1~#6)がある。

プリントスタートリクエストはIFCがPEにプリント要求を行なうコマンドである。このコマンドは、予め前述したイニシャライズコマンドによつて'PF Command プリント要求'を選択した時のみ有効である。

また、このコマンドに対する回答として、PEはPE側で定められたペーパIDをIFCに返す。さ

らに、このペーパIDは、プリントが行なわれて成る用紙が排紙完了した時に、PEから「排紙完了ステータス+ペーパID」の形式でイベントレポートとして送出される。なお、このペーパIDは例えば16進数の1~Fの値がサイクリックに送出される。

第40図及び第41図のジャム発生時の動作において、ジャムが発生すると、IFCがPEに対してジャムした紙のペーパIDを尋ねるコマンドを送り、PEは回答の第1バイトでジャム紙の枚数nを送出し、それに続くnバイトで各ジャム紙のペーパIDを送出する。

なお、ジャム紙がない場合はPEはジャム紙が無いという意味のコード(例えば「00H」)を送出し、まだジャム状態であるがジャム紙のペーパIDが不定の場合(排紙動作実行中)はその旨のコード例えば「10H」を送出して送信を終る。

このPEからの回答のフォーマットを第45図に示す。

さらに、IFCがPEに対してジャム紙の位置

を尋ねるコマンドを送り、PEはプリンタエンジン内のジャムであればそのジャム紙の位置を、オプションデバイス内のジャムであれば、オプションデバイスから受け取ったジャム紙の位置情報をIFCに回答する。

そして、このジャム紙の位置は、前述したように第46図に示した動作表示パネル11の給紙・ジャム表示部140にLED G~Pの点灯により表示される。

プリンタエンジンジャムの場合の回答のフォーマットは第48図に示すようになっており、1バイトのb、ビットでジャム紙の有無を示し、b、~b、ビットでジャム紙の位置を示す。#0~#6はジャム紙の位置で、それぞれ'1'の時にその位置にジャム紙が有ることを表わす。

なお、ジャム紙が確定していない時、つまりジャムが発生したが排紙実行中の時は、既に有明しているジャム紙のみにあつての回答となる。

他のオプションデバイス内でのジャム発生の場合の回答フォーマットもこれと同様である。

次に、第42図は大量給紙モードにおけるPEとLCIT間、第43図は両面プリント(印字)モードにおけるPEとDPX間の通信内容と各部の動作をそれぞれ示すタイミングフロー図である。

また、第47図は大量給紙モードにおけるLCIT関係の各部の動作タイミングを示すタイミングチャート、第48図は両面プリントモードにおけるDPX関係の各部の動作タイミングを示すタイミングチャートである。

なお、両面プリントモードは次に説明するようにMODE1～3の複数のプリントモードを選択することができるが、ここに図示したのは1枚ごとに表裏面を順次プリントするMODE1の場合である。

両面プリントモード

両面ユニット8を使用して、プリント用紙の表裏両面にプリント(印字)する両面プリントモードには、MODE1、MODE2、MODE3の3つのモードがあり、必要に応じてこれらのモードを選択して実行させることができる。

奇数番目のペーパの位置を太い実線で、偶数番目のペーパの位置を太い破線で示している。

なお、第48図(A)には第3図と対応する部分に同一の符号を付しているが、他の図もこれと同じであるのでその符号を省略している。

先ず、第48図(A)～(F)によつてMODE1のプリント工程を説明する。

給紙デバイスはどれを選択してもよいが、ここではプリンタ本体に装着した上給紙カセットを選択した場合の例で、上給紙カセットから1枚目のペーパ#1の給紙を開始し(A)、まずその表面にプリントする(B)。

そのペーパ#1を両面ユニットの反転用搬送路85へ送り込み(C)、搬送方向を反転して待機用搬送路88へ送り出す(D)。

そこから、これペーパ#1をLCITから共通の給紙路を通して再び紙送り位置へ給送し(E)、今度はその裏面にプリントして(F)、両面プリントが完了したペーパ#1を選択されている排紙トレイへ送出する。

MODEの種類は、本体及び両面オプションに収めできる紙の最大枚数によって決まり、本実施例ではMODE3まで設定されているが、搬送経路の全体長がもつと長い場合等には、さらに多くのMODEが設定可能である。

この3つのモードにおける紙の表面と裏面のプリント順序の相違を、紙の表面にプリントする順序で各紙に#1、#2、#3……の番号(ペーパIDに対応する)を付して示すと次のようになる。

MODE1: #1表、#1裏、#2表、#2裏、
#3表、#3裏、……
MODE2: #1表、#2表、#1裏、#3表、
#2裏、#4表、#3裏、……
MODE3: #1表、#2表、#3表、#1裏、
#4表、#2裏、#5表、#3裏、
#6表、#4裏、……

この各モードのプリント工程をそれぞれ第49図、第50図、第51図によつて説明するが、これらの各図は両面プリント時に使用する紙(以下「ペーパ」という)の搬送経路を模式的に図示し、

2枚目以降のペーパについても同様にして、順次表面と裏面にプリントして送出する。

次に、第50図(A)～(I)によつて、MODE2のプリント工程を説明する。

今度は、給紙デバイスとして下給紙カセットを選択した場合の例で、下給紙カセットから給紙を開始し、まずその表面にプリントする(A)。

そのペーパ#1を両面ユニットの反転用搬送路へ送り込むと同時に、2枚目のペーパ#2の給紙を開始する(B)。

そして、ペーパ#1の搬送方向を反転して待機用搬送路へ送り出すと同時に、ペーパ#2の表面にプリントし(D)、その後ペーパ#1を再び紙送り位置へ給送すると共に、ペーパ#2を反転用搬送路へ送り込む(E)。

そのペーパ#2を待機用搬送路へ送り出すと同時に、ペーパ#1の裏面にプリントする(F)。そして、両面プリントが完了したペーパ#1を選択されている排紙トレイに送出するときに、続いて3枚目のペーパ#3を給紙してその表面にプリ

ントする。

その後、ペーパー3を反転用搬送路へ送り込むと共に、ペーパー2を再び転写位置へ搬送してその裏面にプリントし（C）、選択されている排紙トレイに送出する。

次いで4枚目のペーパー4を給紙してその裏面にプリントすると同時に、ペーパー3を待機用搬送路へ送出する（H）。

以後、裏面にプリント済のペーパーの裏面へのプリントと、新しいペーパーの裏面へのプリントとを交互に行なう。

次に、第51図（A）～（L）によつて、MODE3のプリント工程を説明する。

今度は給紙デバイスとしてLCITを選択した場合の例で、LCITから1枚目のペーパー1の給紙を開始し（A）、まずその裏面にプリントする（B）。

そのペーパー1を反転用搬送路へ送り込むと同時に、2枚目のペーパー2の裏面にプリントし（C）、次いでペーパー1を待機用搬送路へ送出

する時にペーパー2を反転用搬送路へ送り込む。

3枚目のペーパー3の裏面にプリントする（D）。

その後、ペーパー1を再度給紙路を通して転写位置へ搬送すると同時に、ペーパー2を待機用搬送路へ送出し、ペーパー3を反転用搬送路へ送り込む（E）。

そして、ペーパー1の裏面にプリントすると共に、4枚目のペーパー4をLCITから給紙する（F）。次いで、ペーパー1を選択されている排紙トレイに送出すると同時に、ペーパー4の裏面にプリントし、ペーパー2を給紙路へ送出すると共にペーパー3を待機用搬送路へ送出する（G）。

続いて、ペーパー4を両面ユニット側へ送出すると共にペーパー2の裏面にプリントし、同時に5枚目のペーパー5の給紙を開始する（H）。

そして、ペーパー5の裏面にプリントすると共に、ペーパー4を反転用搬送路へ送り込む（I）。次いで、ペーパー3を給紙路へ送出し、ペーパー4を待機用搬送路へ送出する（J）。

その後、ペーパー5を反転用搬送路へ送り込む

時にペーパー3の裏面にプリントし、6枚目のペーパー6の給紙を開始する。そのペーパー6の裏面にプリントする際、ペーパー4を給紙路へ送出し、ペーパー5を待機用搬送路へ送出する。

以後同様に、新しいペーパーの裏面のプリントと2枚前のペーパーの裏面のプリントを交互に行なう。

この3つの両面プリントモードによるプリントスピードは次の順であり、

MODE1<MODE2<MODE3

MODE2はMODE1の1.5倍以上、MODE3はMODE1の2倍以上のプリントスピードになる。

したがって、大量の両面プリントを行なう場合はMODE3を選択するのが良い。

なお、以上はこの発明をレーザープリンタシステムに適用した実施例について詳述したが、この発明はこれに限るものではなく、その他の各種プリンタシステム、デジタル複写機等による高機能複写システム、ファクシミリシステム等の各種画像形成システムにも同様に適用することができる。

効果

以上説明したように、この発明によれば、画像形成装置本体への付加装置の接続状況を表示する手段を設けたので、現在の付加装置の接続状況すなわちシステム構成を一目で把握することができ、便利である。

（以下余白）

4. 図面の簡単な説明

第1図(A)~(F)はこの発明の一実施例であるレザプリンタ・システムのそれぞれ異なるオペレーションの組合せ構成例を示す説明図。
 第2図は第1図(D)の構成の場合の外観例を示す斜視図。
 第3図は同じくその内部構成を示す概略断面図。
 第4図は第2図の操作表示パネルの詳細を示す正面図。
 第5図は第3図のレーザ書き込みユニットにおける光学系の構成を示す説明図。
 第6図はレーザ書き込み用の同調信号発生回路の例を示す回路図。
 第7図は書き込み制御回路の例を示すブロック回路図。
 第8図は第7図の回路の動作説明のための各信号波形図。
 第9図はこの発明の一実施例における制御系の接続関係を示すシステムブロック図。
 第10図は同じくそのエンジンドライバPCB等の

内部構成を示すシステムブロック図。

第11図は同じくデバイス分散制御型の例を示すシステムブロック図。
 第12図(イ)(ロ)はこの発明の実施例に使用するコネクタ付き複線オプティカルファイバケーブルの異なる例を示す外観図。
 第13図(イ)(ロ)はPCB側コネクタの正面図及び側面図。
 第14図(イ)(ロ)は同じくそれに内蔵されている発光側と受光側の回路図。
 第15図及び第16図はこの発明の一実施例におけるエンジンドライバPCBと他の各PCBの接続及び各PCBとその各種負荷及びセンサ等の接続状態を示すブロック図。
 第17図は通信制御用インタフェース回路150の概略構成を示すブロック回路図。
 第18図は同じくそのリードタイミングを示すタイミングチャート図。
 第19図は同じくこの通信制御用インタフェース回路の具体例を示すブロック回路図。

第20図は第18図におけるインストラクションレジスタINST3の具体例を示す回路図。
 第21図は送受信ブロック中の送信ブロックの具体例を示す回路図。
 第22図は送信時のタイムチャート図。
 第23図は送受信ブロック中の受信ブロックの具体例を示す回路図。
 第24図は受信時のタイムチャート図。
 第25図は第19図に示した各レジスタのデータ格納状態を示すレジスタマップ図。
 第26図はこの実施例のCCI回路を構成するICの拡大外観図。
 第27図はこの実施例の本体CPUによる付加装置の認識と接続先特定処理のフロー図。
 第28図及び第29図は本体CPUのメモリエリアにおける物理テーブルと論理テーブルの構成図。
 第30図乃至第32図は本体CPU側のペーバIDに関する動作のフロー図。
 第33図はIFC側のペーバIDに関する動作の

フロー図。

第34図はプリントエンジンにおけるシーケンスコントロールの機能ブロック図。
 第35図は同じくそのデータの流れを示すデータフロー図。
 第36図はプリントエンジンと各デバイス間の通信方法の説明図。
 第37図乃至第41図はPEとIFC及び各デバイス間の通信内容と各部の動作を示すタイミングフロー図。
 第42図及び第43図はPEとLCIT間及びPEとDPX間の通信内容と動作をそれぞれ示すタイミングフロー図。
 第44図はイニシャライズコマンドのアーギュメントのフォーマット例を示す図。
 第45図及び第46図はジャム発生時におけるPEからIFCへジャム検出数とその各ペーバIDの回答フォーマット及びジャム検出数の回答フォーマットを示す図。
 第47図は大量給紙モードにおけるLCIT関係

の各部の動作タイミングを示すタイミング
チャート図。

第48図は両面プリントモードにおけるDPX回
線の各部の動作タイミングを示すタイミ
ングチャート図。

第49図(A)~(F)は両面プリントモードMOD
E1によるプリント工程の説明図。

第50図(A)~(I)は同じくMODE2によるプ
リント工程の説明図。

第51図(A)~(L)は同じくMODE3によるプ
リント工程の説明図である。

- 1…レーザプリンタ本体 2…上給紙カセット
- 3…下給紙カセット 4…搬送部紙ユニット
- 5…後給紙トレイ 6…両面ユニット(DPX)
- 7…大量給紙ユニット(LCIT)
- 8…大量給紙ユニット(LCOT)
- 9…メールボックス 10… テーブル
- 11…操作表示パネル
- 12, 13…フロントカートリッジ
- 14…エミュレーションカード

- 23…レジストローラ
- 29…OPC感光体ドラム
- 30…転写チャージヤ 31…定着器
- 34…帯電チャージヤ 35…現像ユニット
- 40…レーザ音込みユニット
- 41…半導体レーザ
- 44…ポリゴンミラー (回転多面鏡)
- 50…フォトディテクタ
- 51…プリントエンジン基板 (PE・PCB)
- 52…インタフェース・コントローラ基板
(IPC・PCB)
- 90…プリントエンジン (PE) ユニット
- 91…DPX&LCIT・PCB
- 92…メールボックス (MB) ユニット
- 93…MB・PCB
- 96, 98', 98A~98F
…複線オプティカルファイバ・ケーブル
- 98…LCOT・PCB
- 99…DPX・PCB
- 100…LCIT・PCB

142, 152, 157…マイクロコンピュータ
(CPU)

149…ビデオコントロール回路

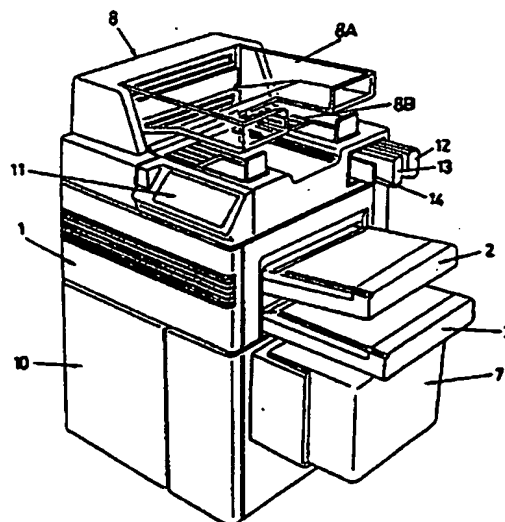
150…通信制御用インタフェース回路

180…オスコネクタ 181…メスコネクタ

182…発光ダイオード (LED)

183…フォトダイオード (PD)

第2図



出願人 株式会社 リコー
代理人 弁理士 大 澤 敬

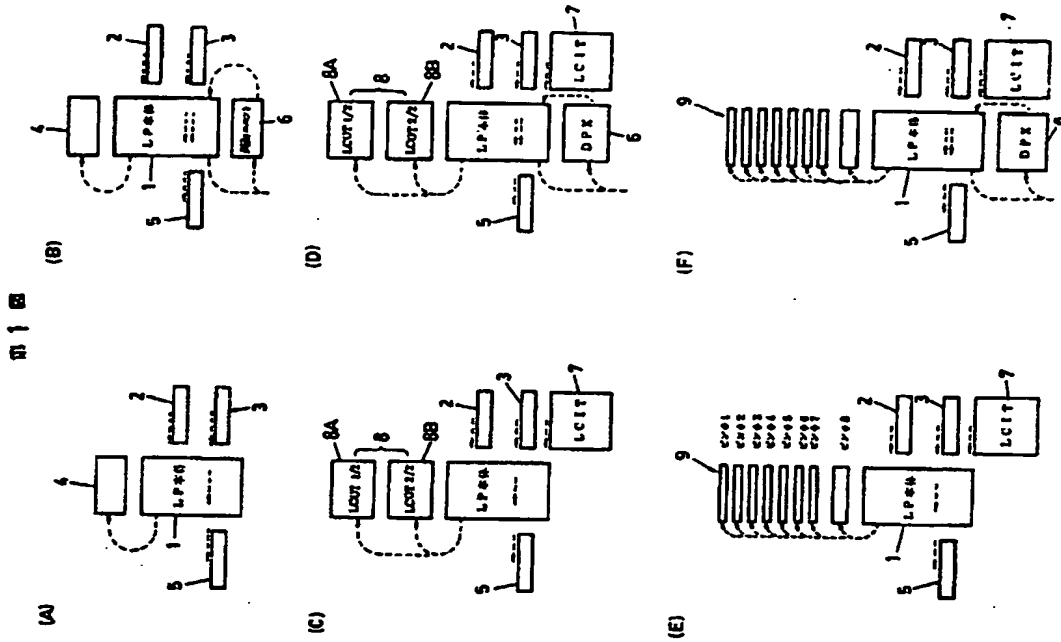
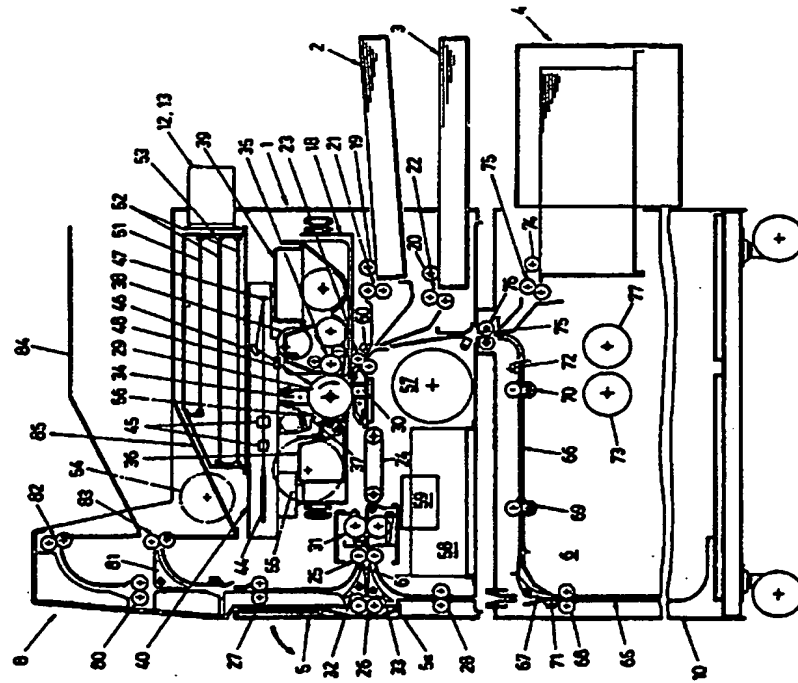
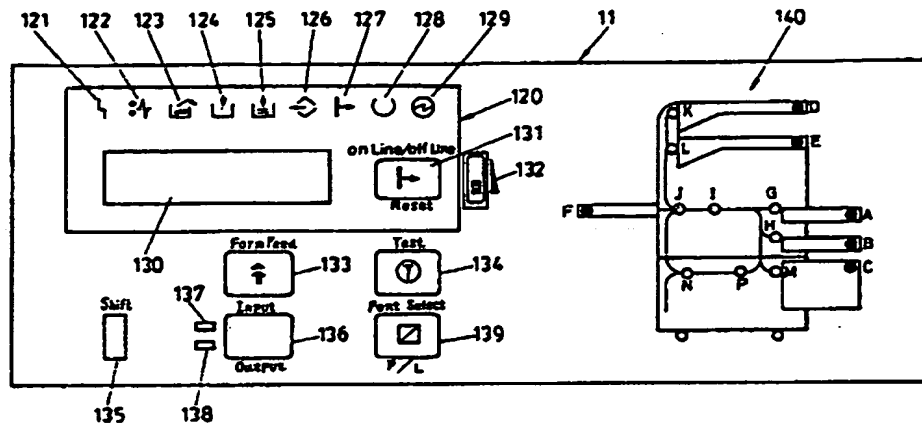


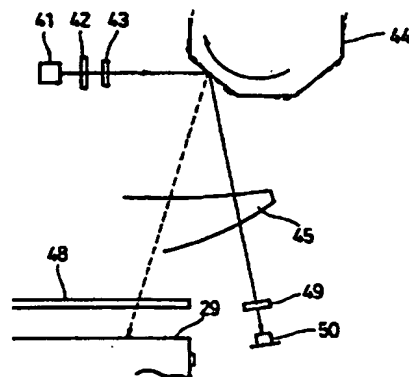
図3 図



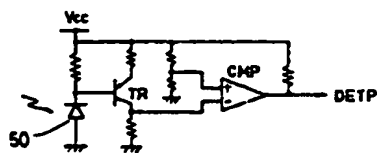
第 4 圖



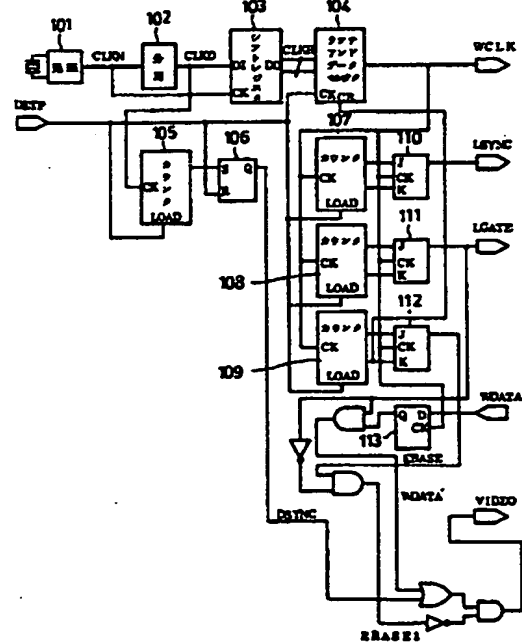
第 5 圖



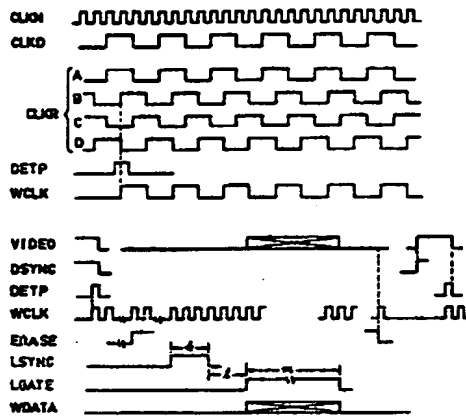
第 6 型



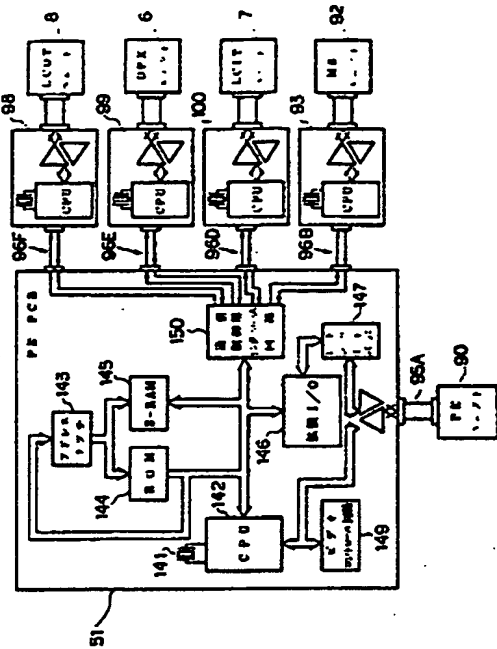
第 7 回



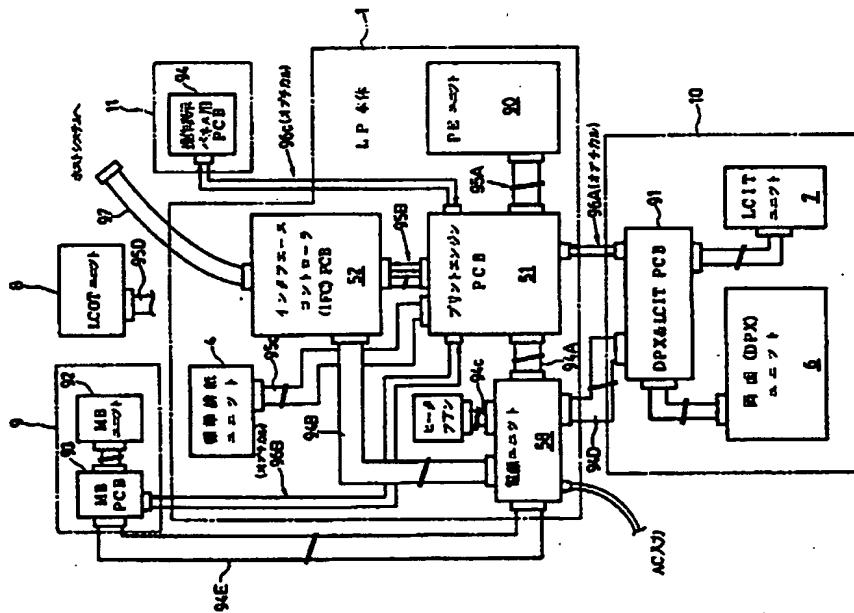
第8図

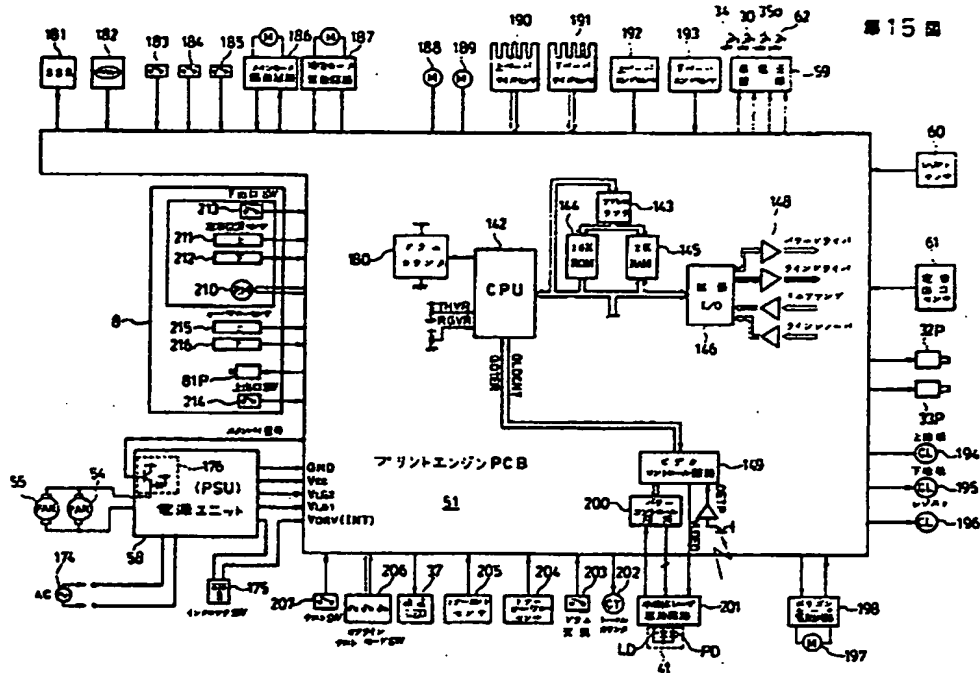


第11図

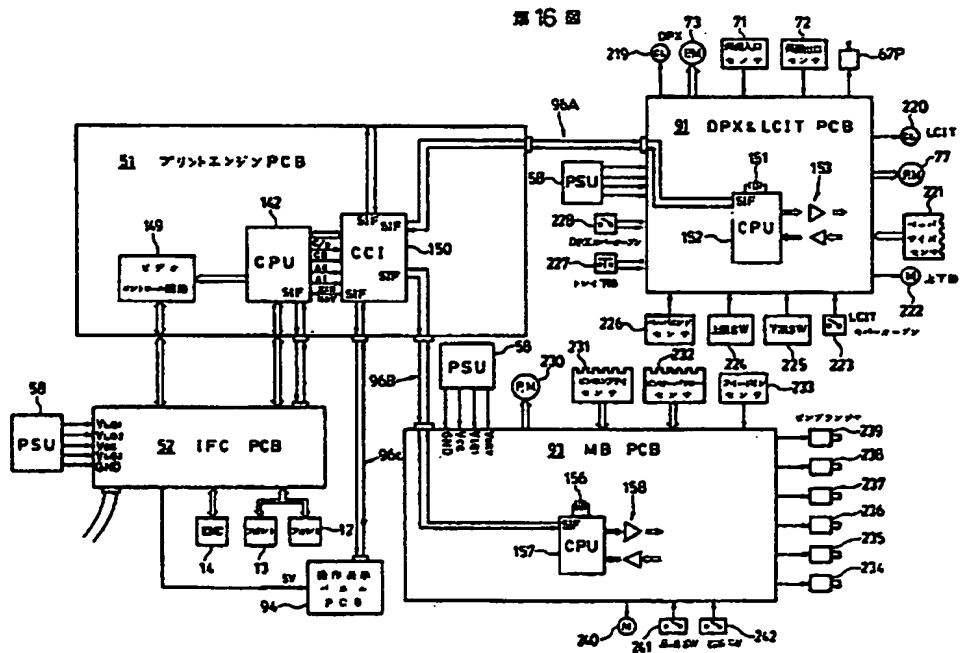


第9図

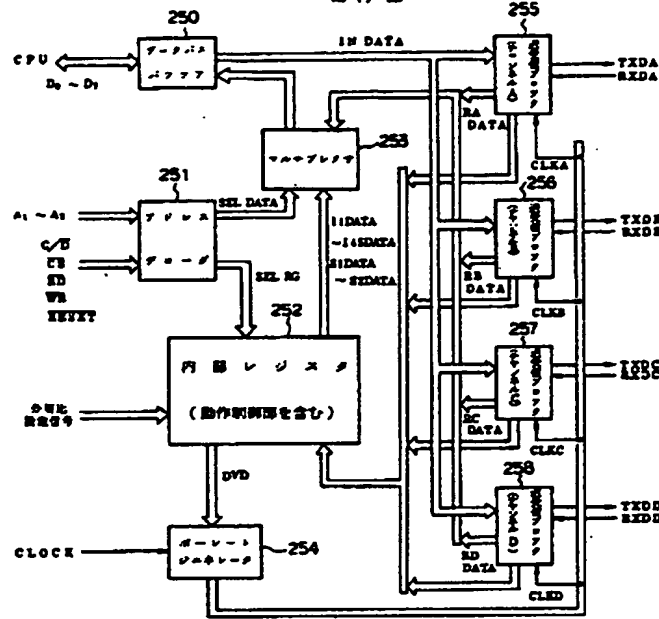




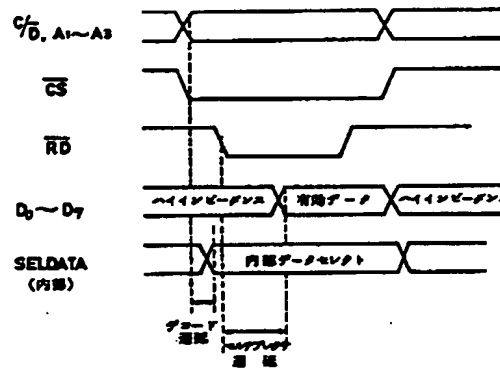
第 16 圖

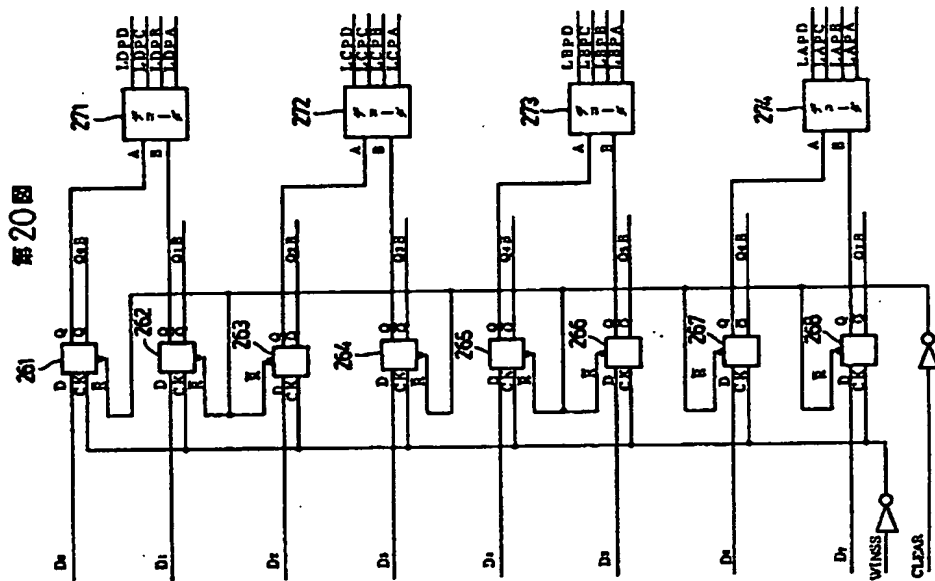
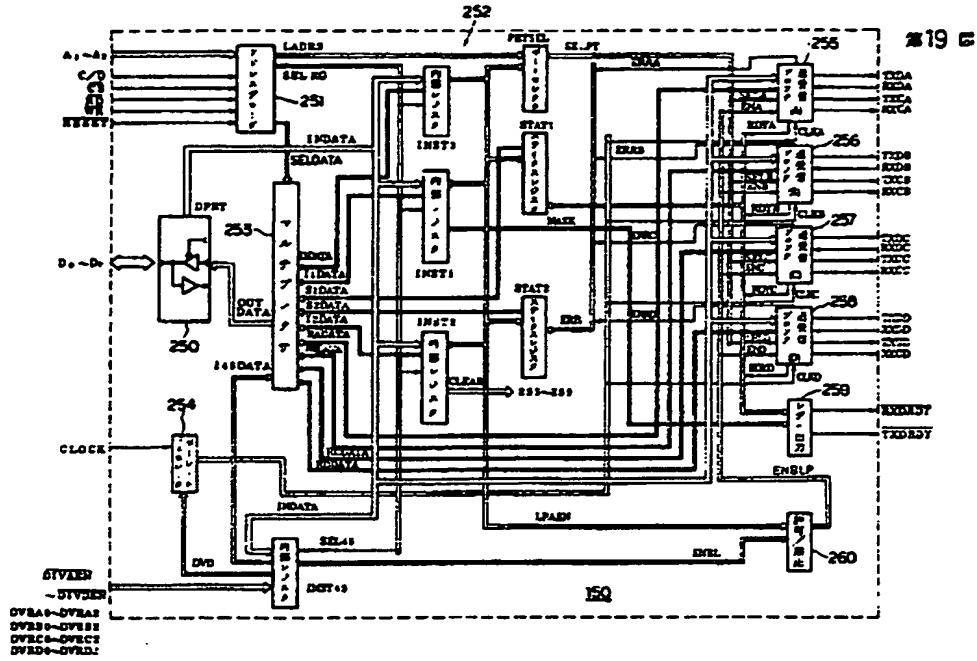


第17図

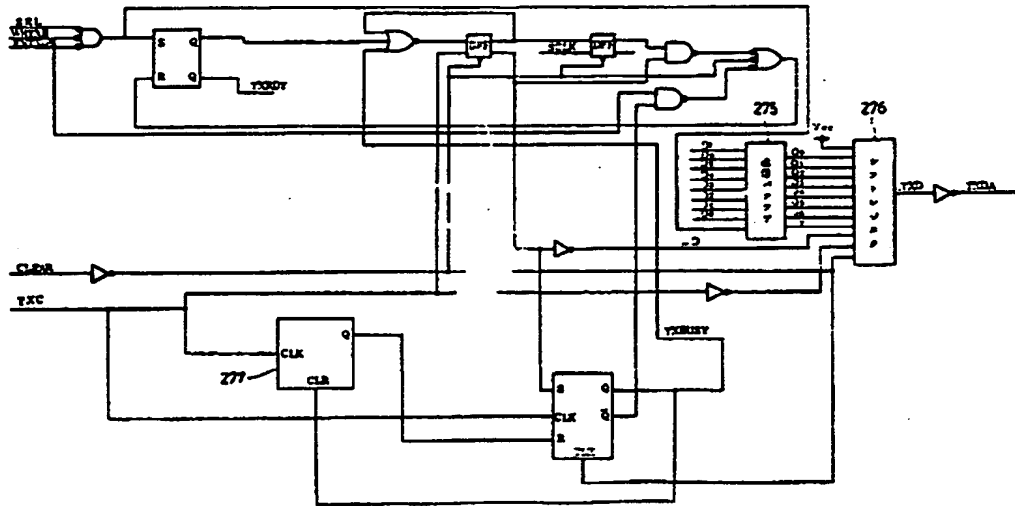


第18図

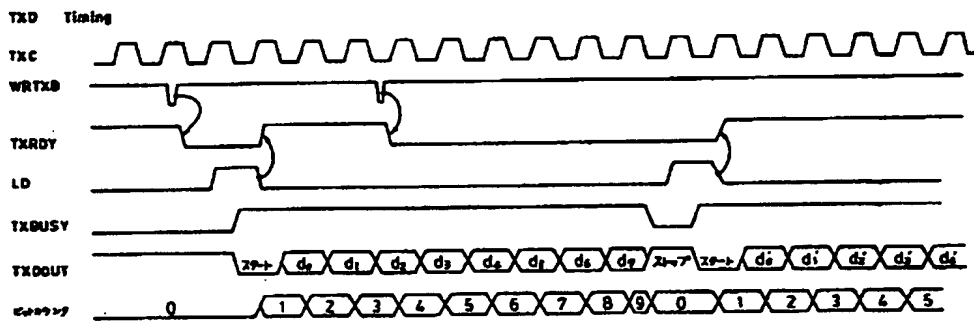


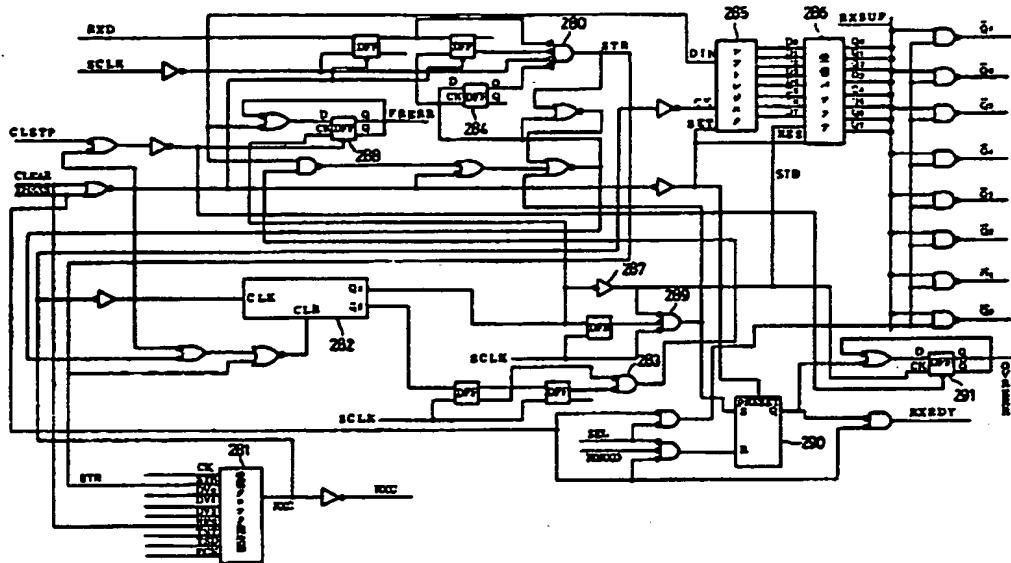


第21図



第22図





第24回

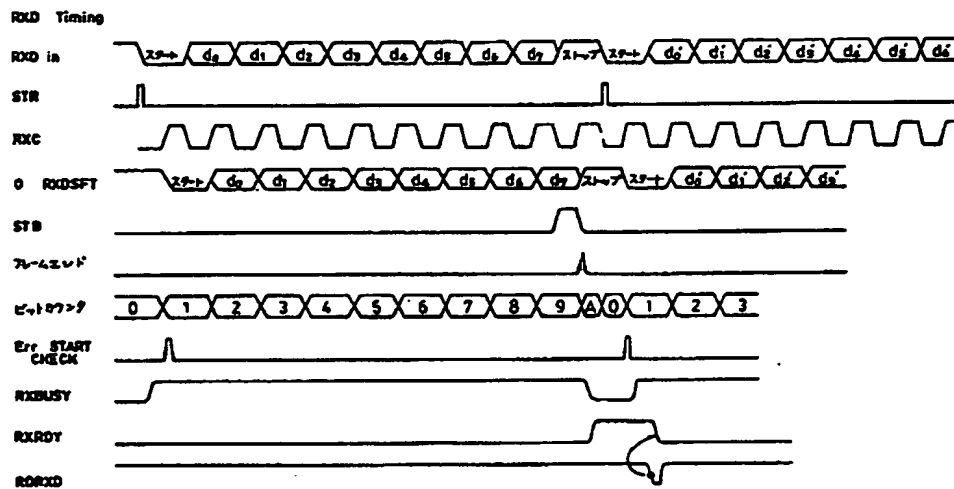


図 25

レジスタ	b ₇	b ₆	b ₅	b ₄	b ₃	b ₂	b ₁	b ₀
INST1	RIMA b7-b0: 10111111 b7-b0: 10111111	RIMB b7-b0: 10111111 b7-b0: 10111111	RIMC b7-b0: 10111111 b7-b0: 10111111	RIMD b7-b0: 10111111 b7-b0: 10111111	TIMA b7-b0: 10111111 b7-b0: 10111111	TIMB b7-b0: 10111111 b7-b0: 10111111	TIMC b7-b0: 10111111 b7-b0: 10111111	TIMD b7-b0: 10111111 b7-b0: 10111111
INST2	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111
INST3	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111
INST4	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111
STAT1	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111
STAT2	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111	INRST b7-b0: 10111111 b7-b0: 10111111

図 26

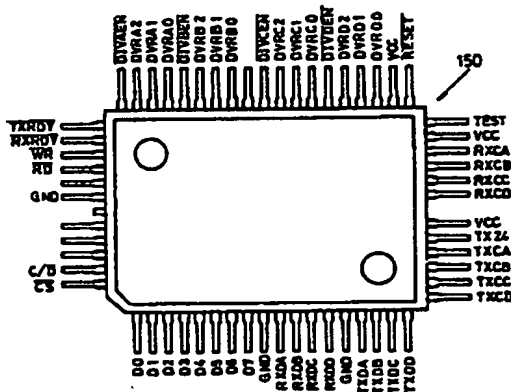


図 28

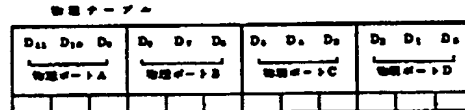
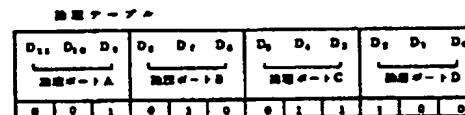
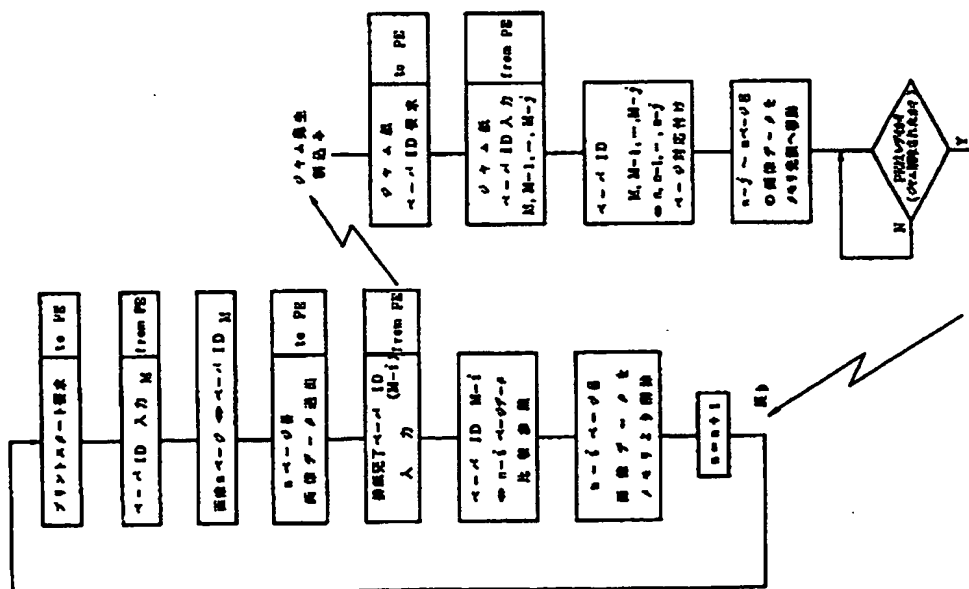
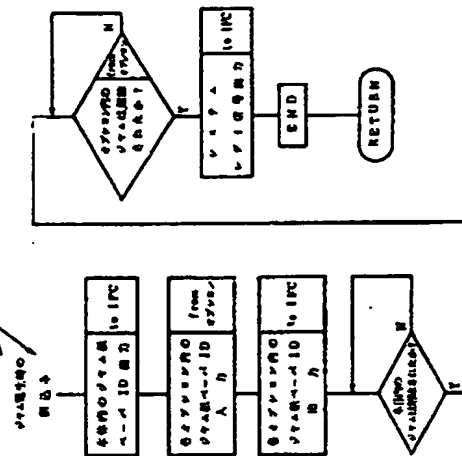
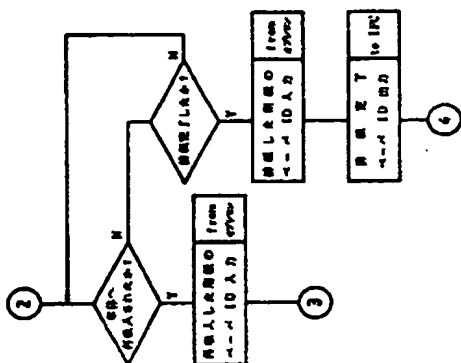
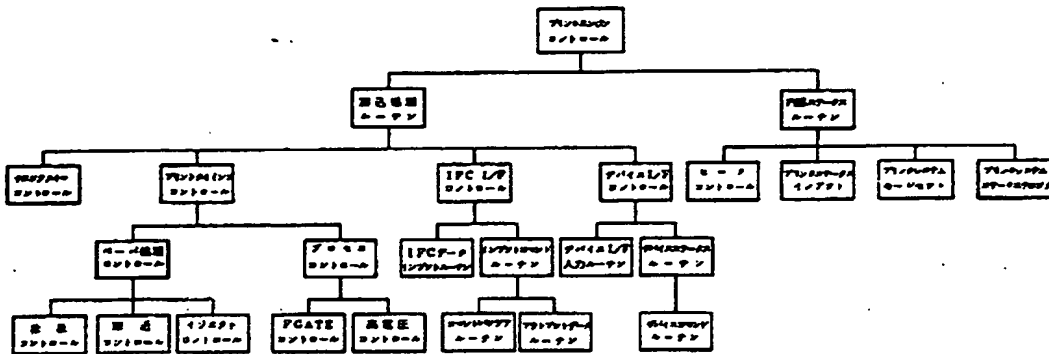


図 29

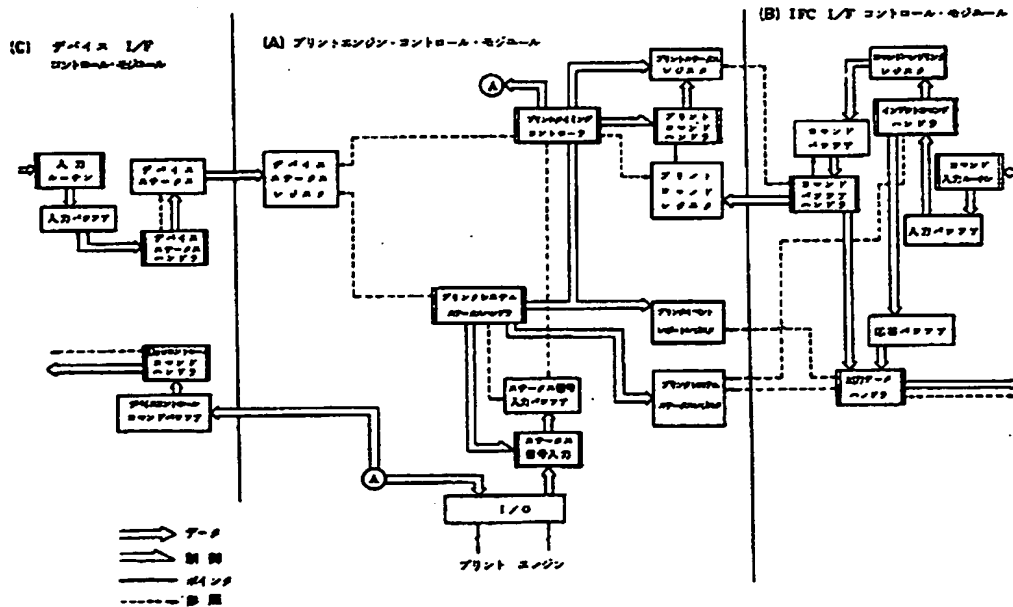




第34図

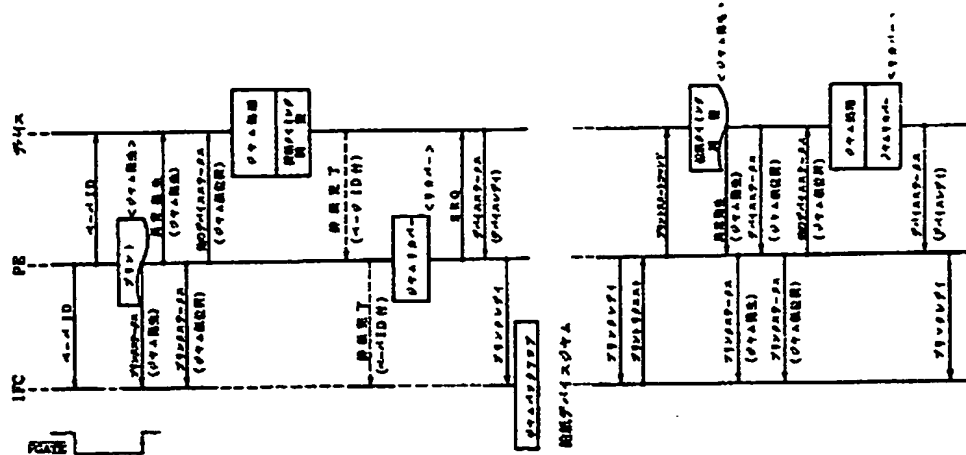


第35図



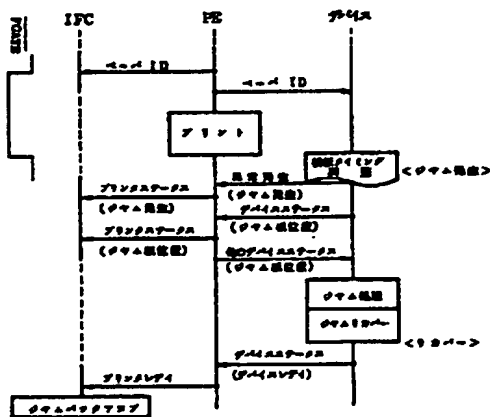
07 题

アムステルダム

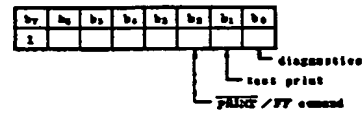


第41回

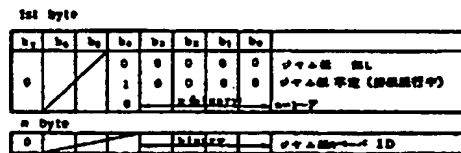
模範デバイスシステム



第44圖



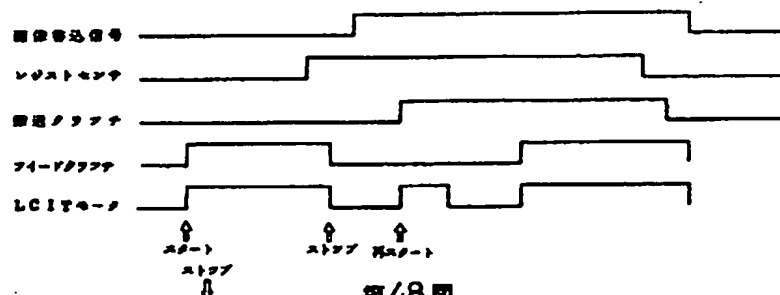
第45回



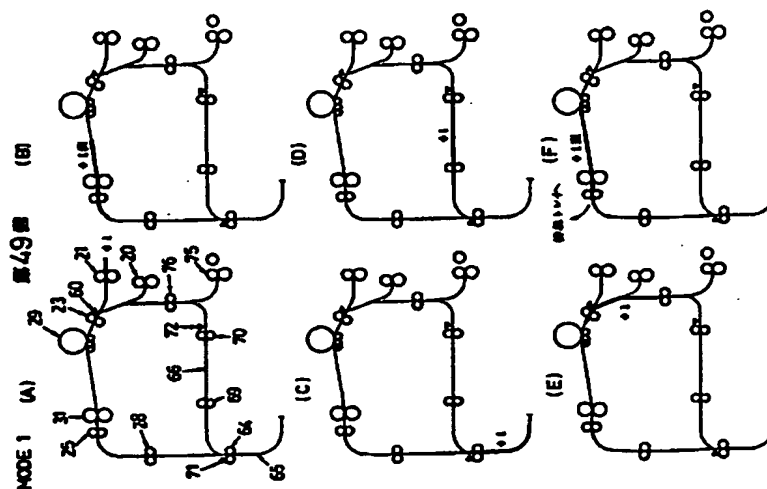
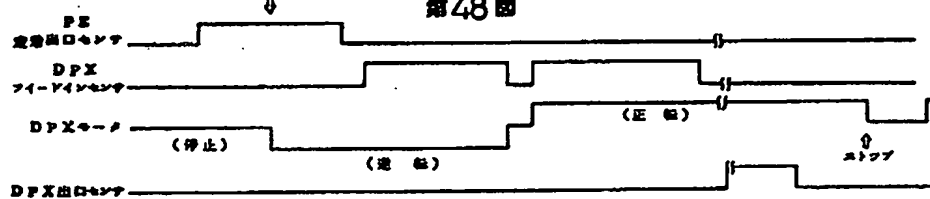
第46回



第47図

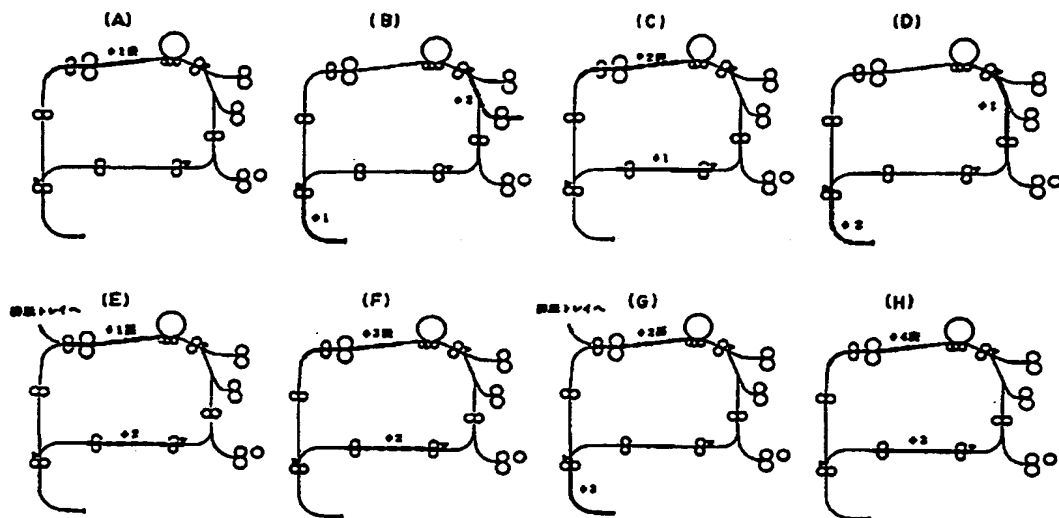


第48図



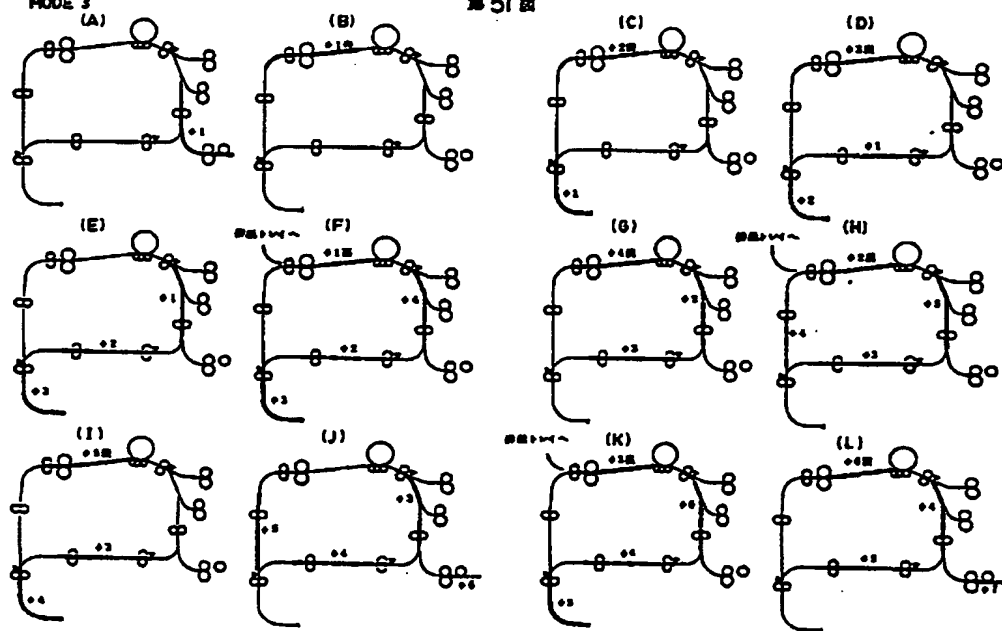
第50図

MODE 2



第51図

MODE 3



特開昭63-212955 (46)

手 続 補 正 書 (口 見)

昭和62年4月17日

特許庁長官 黒 田 明 雄 殿

1. 事件の表示

特願昭62-45939号

2. 発明の名称

画 像 形 成 シ ス テ ム

3. 補正をする者

方式 審 査 ②

事件との関係 特許出願人

東京都大田区中馬込1丁目3番6号

(674) 株式会社 リ コ ー

4. 代 理 人

(電話986-2380)

東京都豊島区東池袋1丁目20番地5

池袋ホワイトハウスビル818号

弁護士(8093) 大 澤 敬 ②

5. 補正の対象

(1) 明細書の発明の詳細な説明の欄

(2) 図 62.4.1

6. 補正の内容

(1) 明細書第29頁第20行及び第30頁第2行の「発光IC166」を

「受光IC166」と訂正する。

(2) 同書第56頁第20行の「該スタートビット」を「誤スタートビット」と訂正する。

(3) 同書第64頁第2行の「データ」を「データ転送」と補正する。

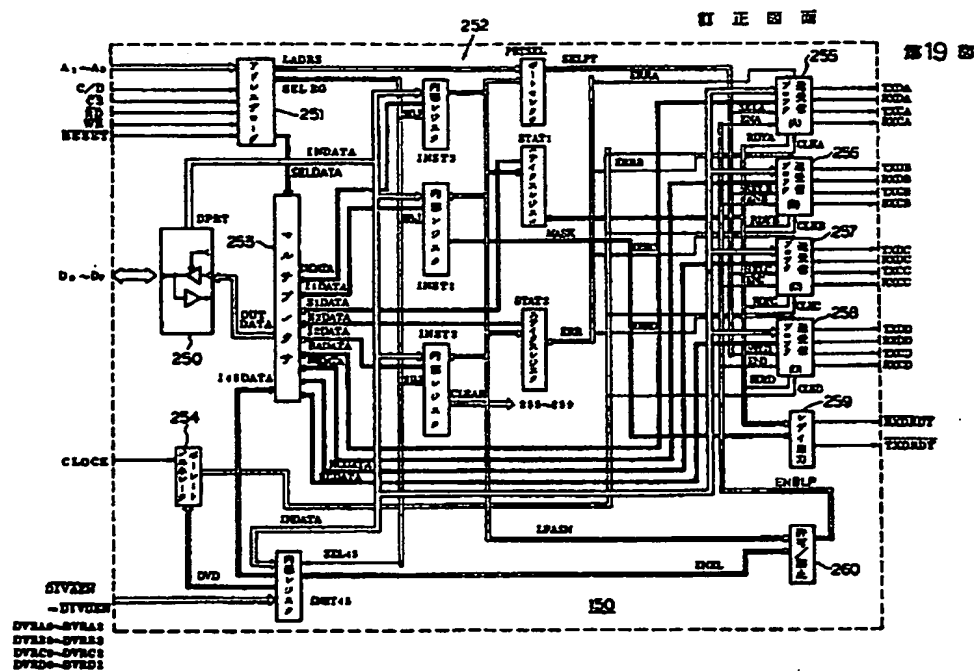
(4) 同書同頁第10～11行の「コントロールロード」を

「コントロールコード」と訂正する。

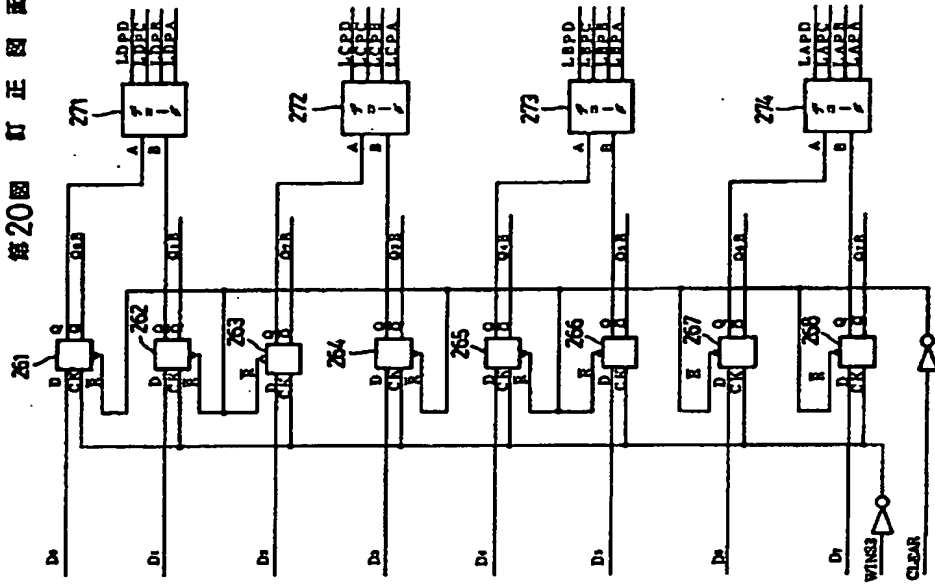
(5) 同書第72頁第18行の「本体1内」を「システム全体内」と訂正する。

(6) 図面の「第19図～第21図」及び「第23図」を別紙訂正図面のとおり訂正する。

以 上

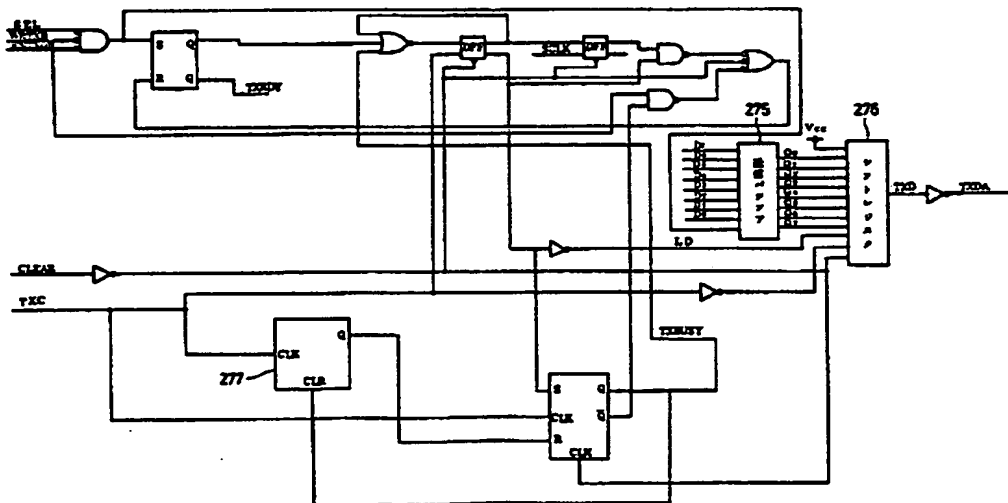


第20圖 訂正図面

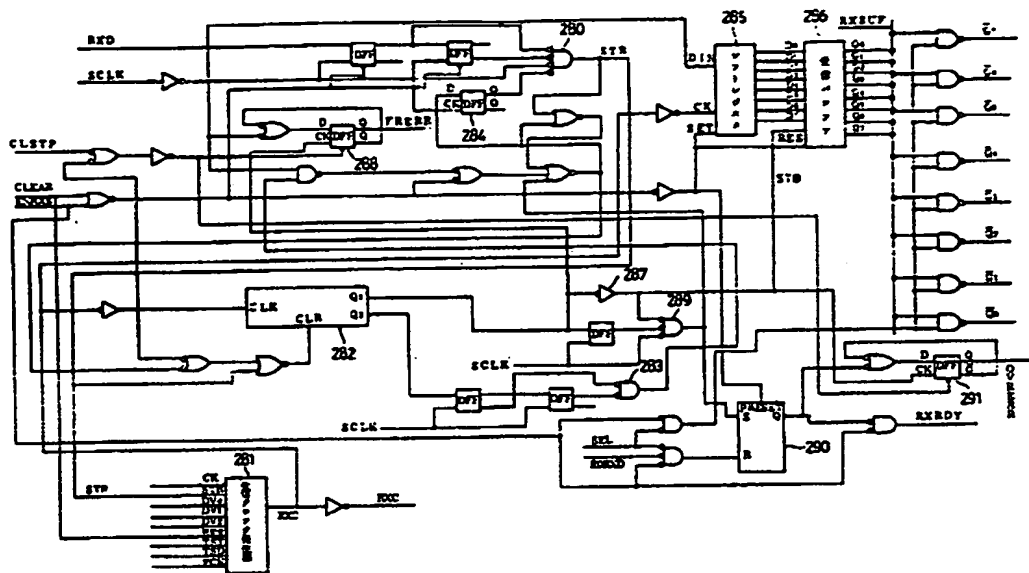


訂正図面

第21圖



正 四 五



明細書の図面の簡単な説明の欄

7. 補正の内容

「第50回(A)~(H)は」と訂正する。

特照昭 6 2 - 4 5 9 3 9 号

画像形成システム

方 人 川

事件との関係 特許出願人

東京都大田区中馬込1丁目3番6号

(674) 株式会社 リ コ ー

62.8.23

東京都豊島区東池袋1丁目20番地5

池袋ホワイトハウスビル818号

井 堀 士 (8093) 大 塚 敬



昭和62年5月6日（発送日：同年5月26日）

特開昭63-212355 (49)

特 許 庁 長 官 田 中 明 雄 殿

昭和62年6月23日

特許庁長官 田 中 明 雄 殿

1. 事件の表示

特願昭62-45939号

2. 発明の名称

画像形成システム

3. 補正をする者

事件との関係 特許出願人

東京都大田区中馬込1丁目3番6号

(874) 株式会社 リ コ

4. 代理人

東京都豊島区東池袋1丁目20番地5

池袋ホワイトハウスビル818号

弁護士(8093) 大 塚 啓

5. 補正の対象

(1) 明細書の発明の詳細な説明の欄

(2) 図 面

5. 補正の内容

(1) 明細書第11頁第16～20行の「プリントシーケンスが……停止させる。」の記載を削除する。

(2) 同書第12頁第3～4行の「レーザ書き込みユニット40によって書き込まれた表面に。」を削除する。

(3) 同書第92頁第7行の「相違を」を「相違を」と訂正する。

(4) 同書第96頁第17行の「ペーパー4」を「ペーパー4」と訂正する。

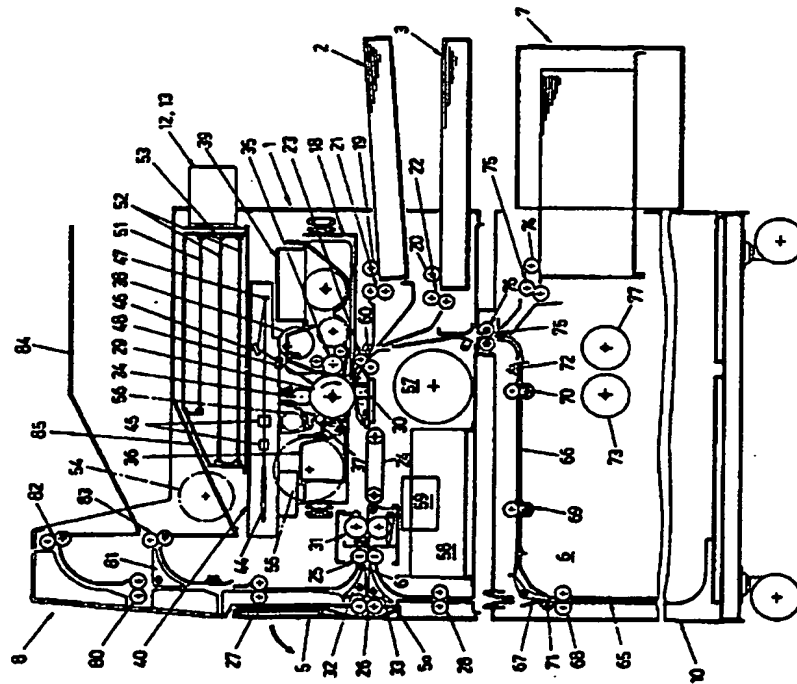
(5) 同書第97頁第2行の「開始する。」を「開始する(K).」と補正する。

(6) 同書同頁第4行の「送出する。」を「送出する(L).」と補正する。

(7) 図面の「第3図」を別紙訂正図面のとおり補正する。

以 上

第3図 訂正図面



Document 1

2. Claims

1. An image forming system for connecting a plurality of additional apparatuses to an image forming apparatus main body which obtains image information from an external apparatus or internally to form an image, effecting communication of several kinds of information relating to image formation between said image forming apparatus main body and said plurality of additional apparatuses, and recording the image onto a recording medium,

characterized by

means for displaying a connection state of connection of the additional apparatus to said image forming apparatus main body.

Field of Technical Art

The present invention relates to an image forming system of a printer system of each type, highly functional copy system, facsimile system and the like, in particular, to an image forming system for connecting a plurality of additional apparatuses to an image forming apparatus main body which obtains image information internally or from an external apparatus to form an image, effecting communication of several kinds of information between the image forming apparatus main body and the plurality of additional apparatuses, and recording the image onto a recording medium.

Objective

The present invention has been proposed in view of the above-described matters. The objective thereof is to display a connection state of connection between the image forming apparatus main body and each additional apparatus on an operation display panel or the like, thereby attaining to understand the connection state at a glance.

Structure

In order to attain the above-described objective, the present invention presents an image forming system as described above, which is arranged so as to include means for displaying a connection state of connection of an additional apparatus to an image forming apparatus main body.

Technological Advantages

As explained above, according to the present invention, since means for displaying a connection state of an additional apparatus connected to an image forming apparatus main body is provided, the current connection state of an additional apparatus, i.e., the current system structure can be recognized at a glance, and therefore this is useful to a user.